WWW.20FILE.ORG

تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** یک ۱

عنـــوان درس: VLSI طراحی سیستمهای

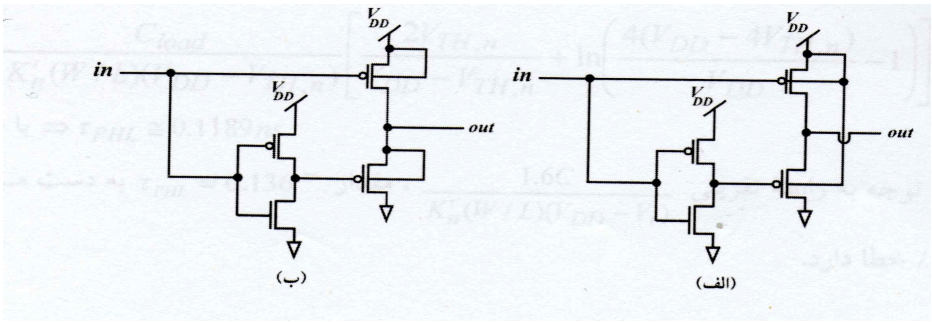
رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)۱۱۱۵۲۰۵

استفاده از ماشین حساب مهندسی مجاز است

۱- با توجه به اینکه $\mu_n = 2.5\mu_p$ عرض نسبی دو MOSFET کانال n و p باید چه رابطه ای نسبت به هم داشته باشند تا پارامتر رسانایی انتقالی آنها یکسان باشد؟

۱. $W_n = W_P$ ۲. $W_n = 4W_P$ ۳. $W_n = 0.25W_P$ ۴. $W_n = 0.4W_P$

۲- دو وارونگر زیر را در نظر بگیرید(فرض کنید ترانزیستور های pMOS در چاه های مجزا قرار گرفته اند) کدام گزینه درست است؟



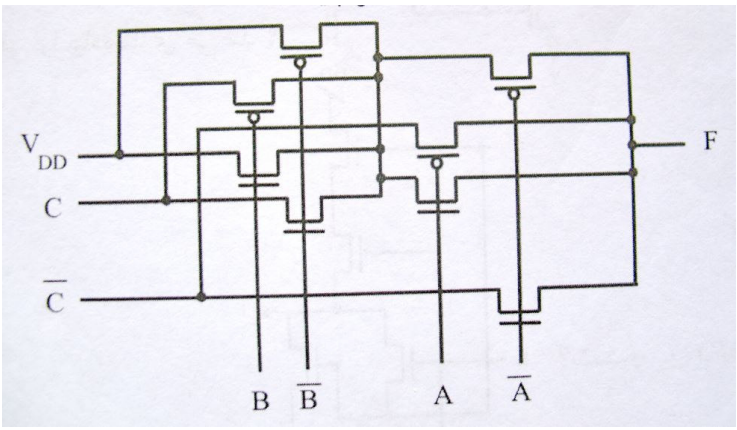
۱. وارونگر (الف) بهتر از وارونگر (ب) است زیرا دارای V_{TH} کمتری است.

۲. وارونگر (ب) بهتر از وارونگر (الف) است زیرا دارای V_{TH} کمتری است.

۳. در وارونگر (ب) مشکل اثر بدنه وجود دارد ولی وارونگر (الف) دارای این مشکل نیست.

۴. در هر دو وارونگر مشکل اثر بدنه وجود دارد.

۳- تابع پیاده سازی شده با ترانزیستور های عبور مدار زیر چیست؟



۱. $A.B + \overline{A}.\overline{C} + A.\overline{B}.C$ ۲. $A.B.C + A.C.B$ ۳. $A \oplus B \oplus C$ ۴. $(A \oplus B).C$

۴- MOSFET کانال N با $K'_n = 50\mu A/V^2$ و $W/L = 20$ و $V_{TH} = 0.8V$ به عنوان سوئیچ با V_{DS} کوچک بکار می رود.ولتاژ کنترلی V_{GS} بین ۰ تا ۵ ولت است.به ازای $V_{GS} = 5V$ و $I_D \approx 1mA$ ، V_{DS} چقدر است؟

۱. ۸.۱۵V ۲. ۲.۴۵V ۳. ۰.۸۱۵V ۴. ۰.۲۴۵V

WWW.20FILE.ORG

تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

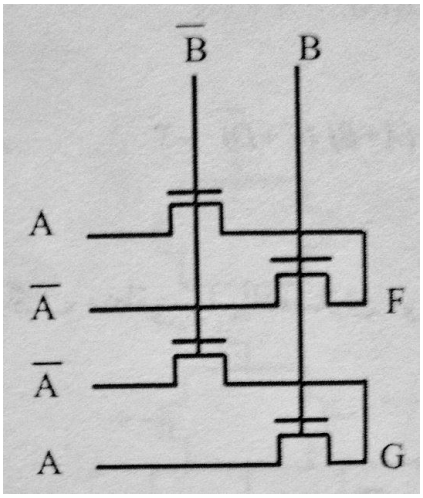
عنـــوان درس: طراحی سیستمهای VLSI

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)۱۱۱۵۲۰۵

۵- V_{IH} .....ولتاژورودی است که می توان به عنوان .....در نظر گرفت.

۱. ماکزیمم ، ۱ ۲. مینیمم،۱ ۳. ماکزیمم، ۰ ۴. مینیمم، ۰

۶- منطق گیت های انتقالی زیر چیست؟



۱. NAND/AND ۲. XOR/XNOR ۳. AND/OR ۴. AND/NAND

۷- یک ترانزیستور NMOS دارای ولتاژ آستانه ۰,۴V است طراح مدار می خواهد بداند در مقابل کاهش ولتاژ آستانه به اندازه ۱۰۰mV جریان نشتی زیر آستانه در دمای اتاق با فرض $V_{GS}=0V$ چند برابر خواهد شد(n=۱.۴) ؟

۱. ۸,۲ ۲. ۱۵,۶ ۳. ۱,۲۷ ۴. تغییری نخواهد کرد

۸- فرض کنید برای یک گیت AOI با ظرفیت بار $10fF$ ؛ $R_{on}=10K\Omega$ باشد.اگر $t_{rise}=0.5ns$ فرض شود. τ_{PHL} واقعی چقدر است؟

۱. ۰,۲۵۹ns ۲. ۰,۰۶۹ns ۳. ۰,۰۳۸ns ۴. ۰,۳۴۵ns

۹- تابع منطقی $f(A,B,C,D)=\overline{(A+B+C)DE}$ معادل کدام روش نوشت گذاری زیر است؟

۱. OAI32 ۲. OAI311 ۳. AO232 ۴. OA333

۱۰- پس از گذشت یک شب،مسئولین آزمایشگاه حالت جامد فهمیدند که ضخامت اکسید رشد داده شده برای ترانزیستوری از حد معمول بیشتر شده است. فکر می کنید I_{DS} این وسیله در مقایسه با حالت معمول چه تفاوتی دارد؟

۱. افزایش می یابد ۲. کاهش می یابد

۳. تغییری نمی کند ۴. I_{DS} از ضخامت اکسید مستقل است

۱۱- در وارونگر با بار تخلیه ای، نسبت به وارونگر با بار مقاومتی منحنی VTC .....وحاشیه های نویز.....می باشد.

۱. تندتر ، کمتر ۲. تندتر، بیشتر ۳. کندتر، کمتر ۴. کندتر، بیشتر

WWW.20FILE.ORG

تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

عنـــوان درس: طراحی سیستمهای VLSI

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)۱۱۱۵۲۰۵

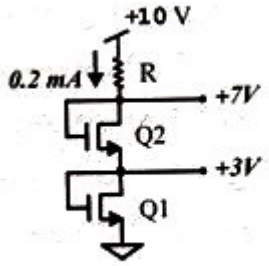
۱۲- تابع $f(A,B,C,D)=\overline{\overline{(A+B+C).(D+E+F)}}$ معادل چیست؟

۱. OAII32 ۲. AOI33 ۳. OA33 ۴. AO33

۱۳- برای ترانزیستورهای NMOS شکل زیر داریم:

$\mu_n C_{ox}=20\mu A/V^2$ و $V_{TH}=2V$ و $\lambda=0$ و $L_1=L_2=1\mu m$

برای داشتن ولتاژهای مشخص شده در شکل،عرض Q_1 ، Q_2 ومقاومت R چقدر باید باشد؟

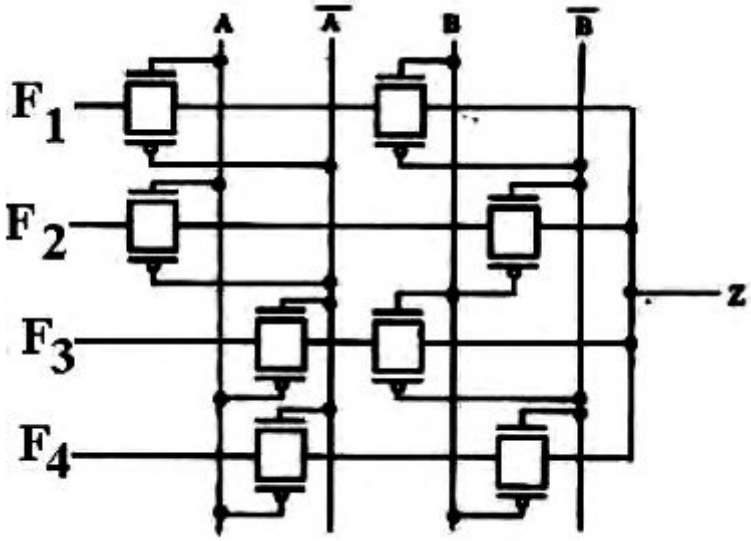


۱. $W_1=W_2=20\mu m, R=15K\Omega$ ۲. $W_1=20\mu m, W_2=5\mu m, R=15K\Omega$

۳. $W_1=20\mu m, W_2=5\mu m, R=50K\Omega$ ۴. $W_1=W_2=5\mu m, R=35K\Omega$

۱۴- واحد منطقی زیر را در نظر بگیرید:

در صورتی که $F_1F_2F_3F_4=1000$ و $F_1F_2F_3F_4=1110$ این واحد به ترتیب چه گیت های منطقی را پیاده سازی می کند؟



۱. $AND(A,B)$ و $OR(A,B)$ ۲. $NAND(A,B)$ و $NOR(A,B)$

۳. $XOR(A,B)$ و $OR(A,B)$ ۴. $XOR(A,B)$ و $AND(A,B)$

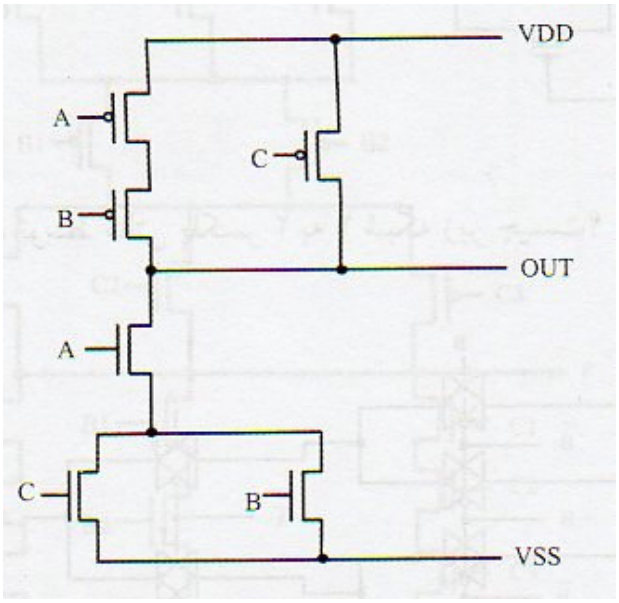
WWW.20FILE.ORG

تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

عنـــوان درس: طراحی سیستمهای VLSI

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)۱۱۱۵۲۰۵

۱۵- مدار زیر را در نظر بگیرید، به ازای چه ترکیبی از ورودی های A,B,C جریان منبع تغذیه افزایش پیدا خواهد کرد؟

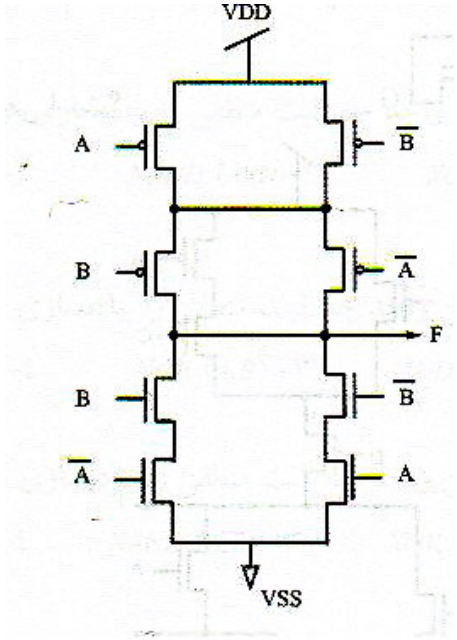


۱. ABC=101 ۲. ABC=111 ۳. ABC=011 ۴. ABC=110

۱۶- در ترانزیستورهای MOSFET در صورتی که اختلاف میان ولتاژهای .....و ..... برای تولید لایه وارون کافی نباشد کانال تنگیده می شود.

۱. گیت ، سورس ۲. گیت،درین ۳. درین،سورس ۴. گیت ، بدنه

۱۷- مدار زیر چه گیت منطقی را پیاده سازی می کند؟



۱. *XNOR* ۲. *XOR* ۳. *NAND* ۴. *NOR*

WWW.20FILE.ORG

تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

عنوان درس: طراحی سیستمهای VLSI

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)۱۱۱۵۲۰۵

۱۸- فرض کنید مسیر اولری NMOS و PMOS به صورت زیر باشند:

NMOS: ECDBA

PMOS: EDABC

تابع منطقی که این مدار پیاده سازی می کند چیست؟

۱. $\overline{(A.B+C.D).E}$

۲. $(\overline{A}+\overline{B}).(\overline{C}+\overline{D}).\overline{E}$

۳. $(\overline{A}.\overline{B}).(\overline{C+D+E})$

۴. $(\overline{A}+\overline{B}).(\overline{C+D+E})$

۱۹- در یک وارونگر CMOS $V_{dd}=3.3v, W_p=6.4\mu m, W_n=1.6\mu m$ ،کدام جواب بطور تقریبی درست است؟ V_{INV} ولتاژ آستانه ورودی وارونگر است.

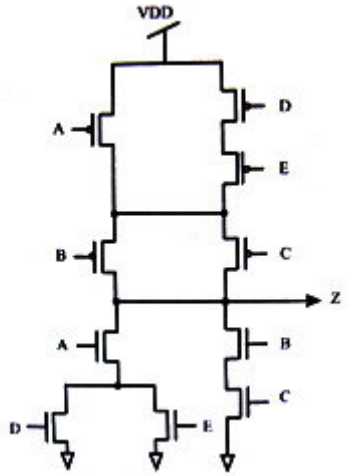
۱. $V_{INV}<1.65V$

۲. $V_{INV}=1.65V$

۳. $V_{INV}>1.65V$

۴. $V_{INV}=0.8V$

۲۰- تابع منطقی مدار CMOS زیر چیست؟



۱. $\overline{A.D+E+B.C}$

۲. $(A+B).(\overline{D+E})$

۳. $\overline{A.(D+E).(B.C)}$

۴. $\overline{A}+(\overline{D}+\overline{E})+(\overline{B}+\overline{C})$

۲۱- کدام قانون طراحی توصیف کننده حداقل طول کانال ترانزیستور است؟

۱. پهنای پلی سیلیکون
۲. طول پلی سیلیکون
۳. طول ناحیه نفوذ
۴. طول سیم فلزی

۲۲- در گیت CMOS ،کاهش طول کانال MOSFET های p, n با ضریب یکسان کاهش در هردو ترانزیستور ، بر حاشیه نویز چه تاثیری دارد؟

۱. حاشیه نویز افزایش پیدا می کند.
۲. حاشیه نویز کاهش پیدا می کند.
۳. حاشیه نویز از طول کانال مستقل می باشد
۴. حاشیه نویز ثابت می ماند.

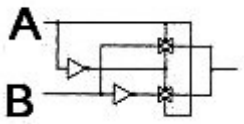
WWW.20FILE.ORG

تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

عنوان درس: طراحی سیستمهای VLSI

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)۱۱۱۵۲۰۵

۲۳- مدار زیر چه منطقی را پیاده سازی می کند؟



۱. AND ۲. NAND ۳. NOR ۴. XOR

۲۴- در جریان ابزار ASIC از کدام ابزار برای تبدیل نمایش RTL به سطح گیت استفاده می شود؟

۱. ابزار شبیه سازی ۲. ابزار سنتز منطقی ۳. ابزار مسیر دهی ۴. ابزار باز بینی

۲۵- فرض کنید ما فقط دارای فناوری ساخت ترانزیستور هایی از نوع nMOS به همراه عناصر غیر فعالی (Passive) همچون مقاومت،خازن، و...باشیم. می خواهیم با این مولفه ها وارونگر بسازیم. کدام گزینه درست است؟

الف. برای ساخت وارونگر به ترانزیستور های نوع p نیز نیاز داریم، بنابراین ساخت وارونگر امکان پذیر نمی باشد.

ب. می توان وارونگر را با قرار دادن یک ترانزیستور nMOS تخلیه ای در شبکه بالابر و اتصال گیت و سورس آن به یکدیگر ساخت ولی عیب آن این است که هنگامی $V_{in} = high$ است، V_{out} دقیقا صفر ولت نمی شود.

ج. می توان مانند گزینه (ب)،وارونگر را ساخت.ولی عیب آن این است که وقتی $V_{in} = high$ است.از منبع تغذیه جریان می کشد.

۱. گزینه الف ۲. گزینه ب ۳. گزینه ج ۴. گزینه ب و ج

سوالات تشریحی

۱- مقادیر تقریبی خازن اکسید در سه حا لت عملکردی ترانزیستور MOSFET را توضیح دهید. ۱،۴۰ نمره

۲- یک وارونگر CMOS را با خازن بار $C_{load} = 1pF$ در نظر بگیرید. مشخصات IV ترانزیستور درایور nMOS به صورت زیر است:

$$V_{GSn} = 5V, V_{DSn} \geq 4V \Rightarrow I_{Dn} = I_{Dnsat} = 5mA$$

فرض کنید V_{in} یک پالس پله است که از ۰تا ۵V سوئیچ می کند.زمان تاخیر لازم را برای آن که خروجی وارونگر از مقدار اولیه ۵V به ۲،۵V افت پیدا کند، محاسبه کنید. ۱،۴۰ نمره

WWW.20FILE.ORG

تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

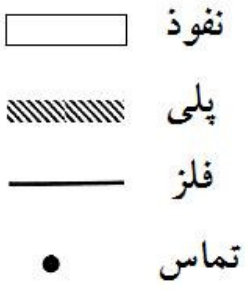
عنـــوان درس: طراحی سیستمهای VLSI

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)۱۱۱۵۲۰۵

۳- نقشه کارنوی تابع F در شکل زیر داده شده است. مدار CMOS را برای تابع F رسم کنید. ۱،۴۰ نمره

F: CD \ AB	00	01	11	10
00	1	1	1	1
01	1	0	0	0
11	0	0	0	0
10	1	1	1	1

۴- نمودار میله‌ای تابع منطقی $F = \overline{(A.B)+C}$ را رسم کنید. ازنمادهای زیر برای رسم نمودار استفاده کنید. ۱،۴۰ نمره



۵- ویژگی‌های اساسی فناوری CMOS را بیان کنید و چهار فناوری اصلی CMOS را نام ببرید. ۱،۴۰ نمره