WWW.20FILE.ORG

تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** یک ۱

عنـــوان درس: الکترونیک دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)۱۱۱۵۲۰۲

استفاده از ماشین حساب مهندسی مجاز است

۱- ظرفیت خروجی یک گیت با مشخصات روبرو چیست؟

$I_{out(L)}=30mA \quad I_{out(H)}=50mA \quad I_{in(L)}=1mA \quad I_{in(H)}=50\ \mu A$

۱. ۱ ۲. ۳۰ ۳. ۳۳ ۴. ۱۰۰۰

۲- کدام گزینه در مورد پیوند P-N درست است؟

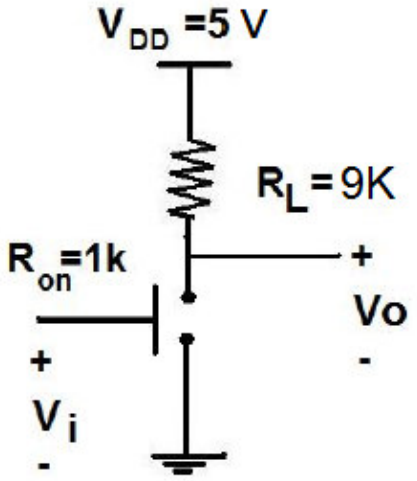
۱. با افزایش ولتاژ بایاس مستقیم عرض ناحیه تهی کاهش و با افزایش ولتاژ بایاس معکوس این عرض افزایش می یابد.

۲. با افزایش ولتاژ بایاس مستقیم عرض ناحیه تهی افزایش و با افزایش ولتاژ بایاس معکوس این عرض کاهش می یابد.

۳. با کاهش ولتاژ بایاس مستقیم عرض ناحیه تهی کاهش و با افزایش ولتاژ بایاس معکوس این عرض کاهش می یابد.

۴. با توجه به چگونگی قرار گرفتن دیود هر کدام از گزینه ها ممکن است رخ دهد.

۳- در مدار معکوس کننده شکل روبرو مقدار VoH و VoL به ترتیب چه مقدار است؟



۱. VoH=4.5 و VoL=0 ۲. VoH=4.5 و VoL=0.5

۳. VoH=5 و VoL=0 ۴. VoH=5 و VoL=0.5

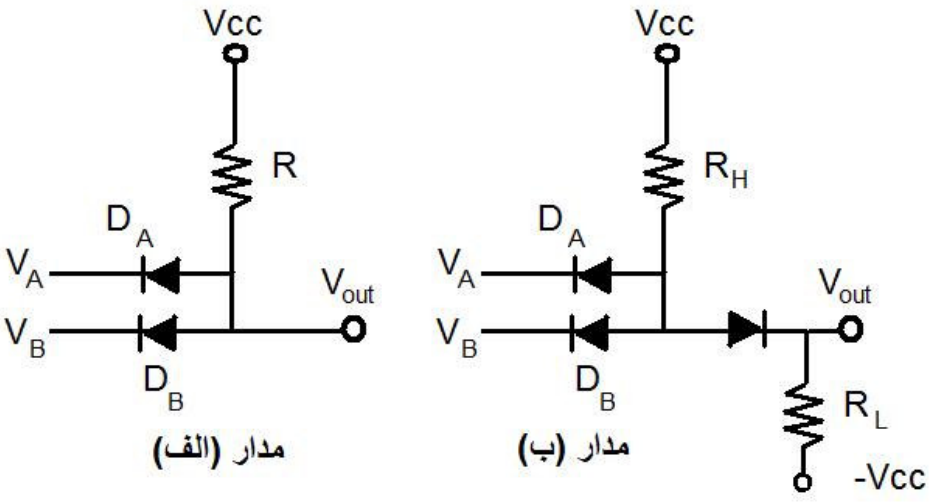
WWW.20FILE.ORG

تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

عنـــوان درس: الکترونیک دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)۱۱۱۵۲۰۲

۴- مدارات زیر چیست؟



۱. مدار (الف) گیت AND دیودی و مدار (ب) AND دیودی با سطح انتقال یافته.

۲. مدار (الف) گیت OR دیودی و مدار (ب) AND دیودی با سطح انتقال یافته.

۳. مدار (الف) گیت AND دیودی و مدار (ب) ORدیودی با سطح انتقال یافته.

۴. مدار (الف) گیت OR دیودی و مدار (ب) OR دیودی با سطح انتقال یافته.

۵- کدام گزینه درباره ی MOSFET اشتباه است؟

۱. ساختار آن متقارن است.

۲. ولتاژ اعمال شده به گیت عبور جریان را کنترل میکند.

۳. به علت وجود عایق SiO_2 جریان پایه درین بسیار کم است.

۴. جریان تنها با یک حامل ایجاد می شود.

۶- کدام گزینه در مورد ترانزیستورهای PMOS و NMOS صحیح نیست؟

۱. در CMOS هر دو ترانزیستور PMOS و NMOS استفاده می شود.

۲. ترانزیستورهای NMOS سریعتر کار میکنند.

۳. در PMOS ولتاژ آستانه (Vt) منفی است.

۴. NMOS ولتاژ تغذیه بیشتری نسبت به PMOS دارد.

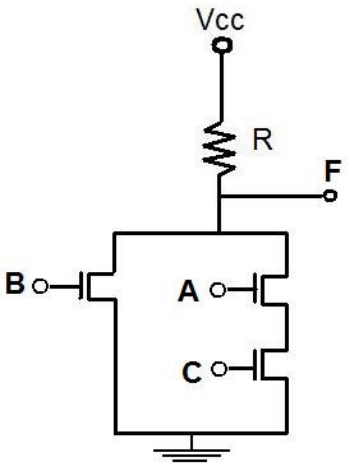
WWW.20FILE.ORG

تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

عنوان درس: الکترونیک دیجیتال

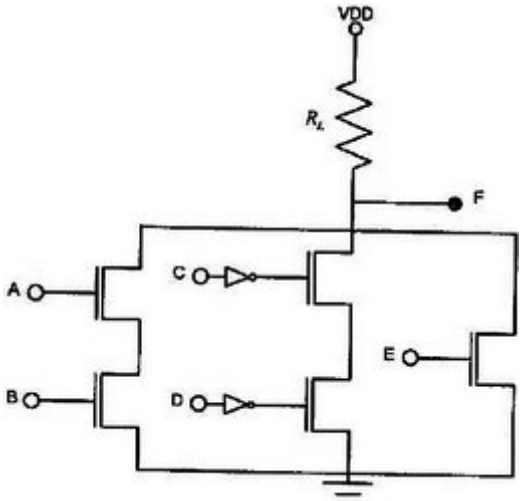
رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)۱۱۱۵۲۰۲

۷- مدار زیر مربوط به کدام تابع است؟



۱. $\overline{(A+C).B}$
۲. $\overline{(A.C+B)}$
۳. $\overline{(A.B+C)}$
۴. $\overline{(A+B).C}$

۸- کدام تابع مربوط به مدار زیر است؟



۱. $\overline{(C.D+\overline{(A+B)}+E)}$
۲. $\overline{(CD+A.B+E)}$
۳. $\overline{(C.D+\overline{A}.\overline{B}+\overline{E})}$
۴. $\overline{((\overline{C+D})+A.B+E)}$

۹- کدام مورد درباره ی ترانزیستورهای BJT غلط است؟

۱. عرض بیس را معمولا کوچکتر می سازند.
۲. غلظت امیتر را معمولا پایین می گیرند.
۳. عرض کلکتور را بزرگتر می سازند.
۴. در حالت فعال پیوند بیس امیتر در بایاس مستقیم است.

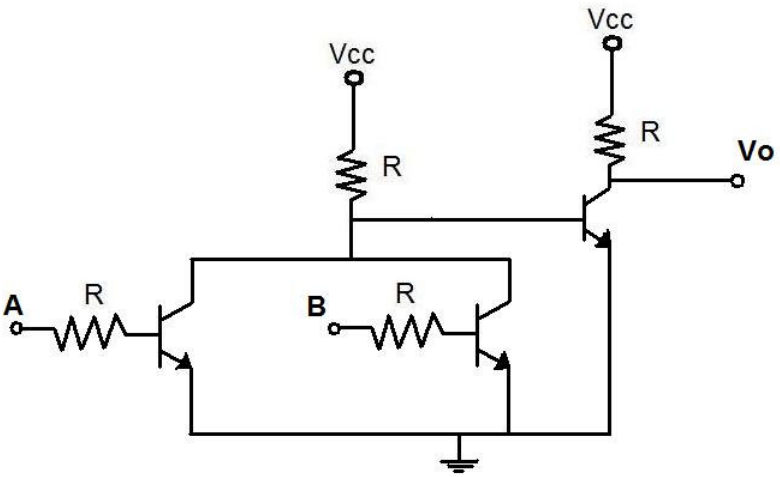
WWW.20FILE.ORG

تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

عنـــوان درس: الکترونیک دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)۱۱۱۵۲۰۲

۱۰- مدار زیر مربوط به کدام گیت RTL است؟

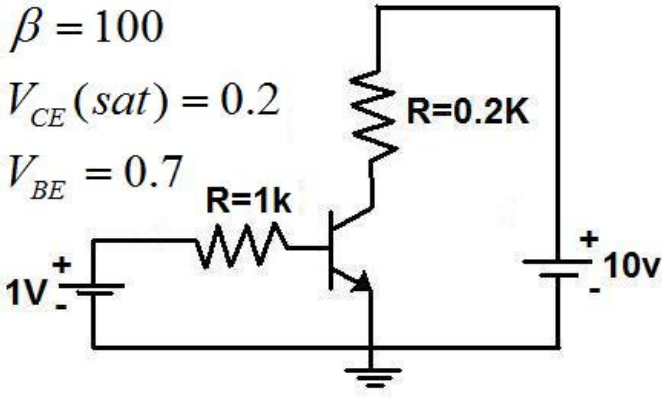


۱. NOR ۲. OR ۳. AND ۴. NAND

۱۱- برای گیت NAND که با منطق RTL پیاده سازی شده است، اگر V(CE)sat=0.12 و V(BE)=0.7 باشد، حداکثر تعداد ورودی های مجاز گیت کدام گزینه ست؟

۱. ۳ ۲. ۴ ۳. ۵ ۴. ۶

۱۲- در مدار روبرو ترانزیستور در چه ناحیه ای قرار دارد و جریان کلکتور چند میلی آمپر است ؟



۱. فعال - ۳۰ ۲. فعال - ۴۹ ۳. اشباع - ۳۰ ۴. اشباع - ۴۹

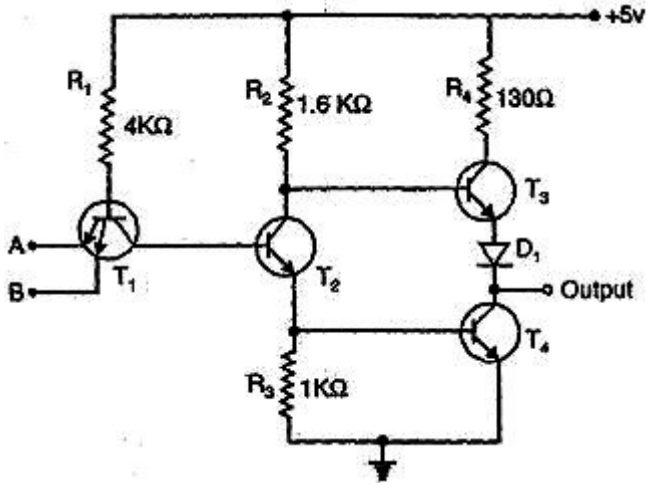
WWW.20FILE.ORG

تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

عنـــوان درس: الکترونیک دیجیتال

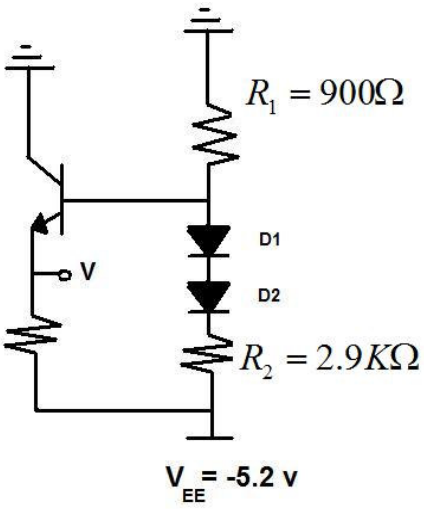
رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)۱۱۱۵۲۰۲

۱۳- نوع منطق گیت و خروجی در کدام گزینه درست است؟



۱. NAND-RTL ۲. NOR-RTL ۳. NAND-TTL ۴. NOR-TTL

۱۴- در مدار مقابل اگر ولتاژ بایاس مستقیم دیودها برابر ۰/۷ ولت و مقدار پیوند بیس امیترنیز برابر ۰/۷ ولت باشند مقدار V چقدر است؟



۱. ۰/۹- ولت ۲. ۱/۵- ولت ۳. ۱/۳۲- ولت ۴. ۱/۶- ولت

۱۵- کدام گزینه اشتباه است؟

۱. منطق TTL از منطق DTL تحول یافته است.

۲. برای افزایش سرعت TTL با استفاده از دیود شاتکی بین بیس و کلکتور، از اشباع ترانزیستورها جلوگیری می شود.

۳. منطق ECL سریعترین خانواده مدار منطقی بعد از گالیوم آرسنایید است.

۴. طبقه خروجی توتم پل از یک ترانزیستور بیس مشترک تشکیل شده است.

WWW.20FILE.ORG

تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

عنـــوان درس: الکترونیک دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)۱۱۱۵۲۰۲

۱۶- کدام گزینه در رابطه با سرعت و توان خانواده های منطقی درست نیست؟

۱. ECLاز CMOS سریعتر است و توان کمتری مصرف می کند.

۲. سرعتCMOS از NMOS بیشتراست، اما CMOS توان کمتری مصرف می کند.

۳. تراشه های دیجیتالی از نوع گالیوم آرسناید کمترین تاخیر انتشاری را دارند.

۴. خانواده ECL بیشترین توان مصرفی را دارند.

۱۷- معکوس کننده ای با بار افزایشی با مشخصات $\left(\frac{W}{L}\right)_O = 4$ و $\left(\frac{W}{L}\right)_L = \frac{1}{4}$ ساخته شده است و حداقل ابعاد قابل پیاده سازی برای ترانزیستور در این تکنولوژی $5\mu m$ است. سطح اشغال شده توسط ترانزیستور و مقدار K_R را پیدا کنید.

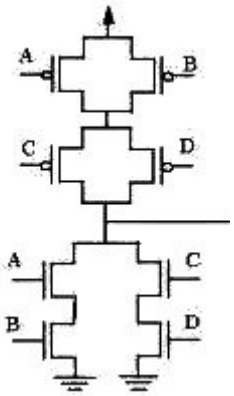
۱. $K_R = 16$ و $S = 100(\mu m)^2$

۲. $K_R = 16$ و $S = 200(\mu m)^2$

۳. $K_R = 1/16$ و $S = 200(\mu m)^2$

۴. $K_R = 1/16$ و $S = 100(\mu m)^2$

۱۸- مدار شکل مقابل معرف کدام تابع است ؟



۱. $F = \overline{((A+B).(C+D))}$

۲. $F = \overline{(A.B+C.D)}$

۳. $F = \overline{\overline{(A.B)}+\overline{(C.D)}}$

۴. $F = (A.B+C.D)$

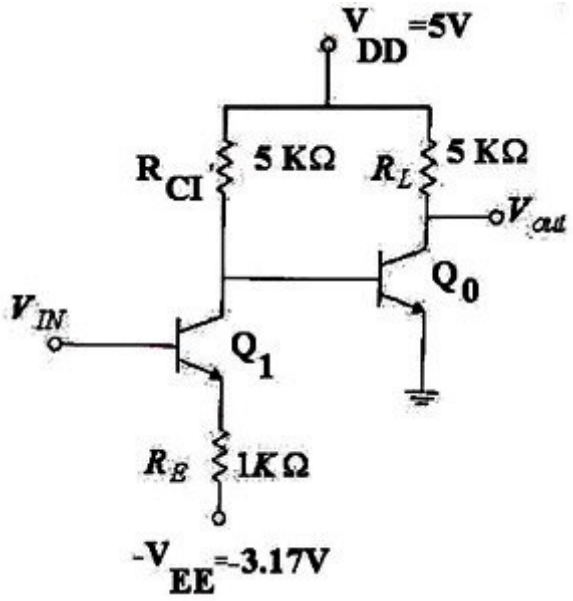
WWW.20FILE.ORG

تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

عنـــوان درس: الکترونیک دیجیتال

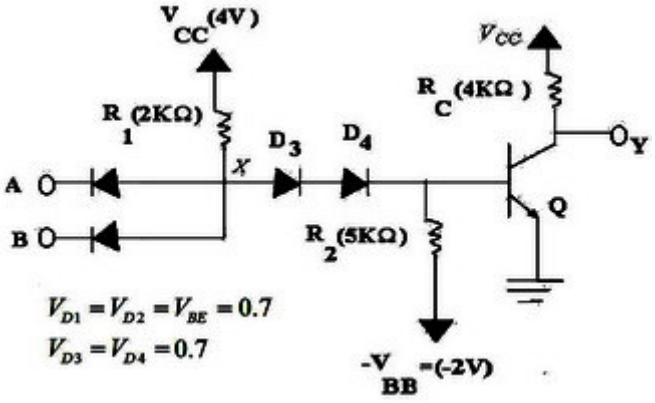
رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)۱۱۱۵۲۰۲

۱۹- مدار زیر کدام نوع مبدل را نشان میدهد؟



۱. مبدل ECL به CMOS
۲. مبدل CMOS به ECL
۳. مبدل STTL به CMOS
۴. مبدل STTL به ECL

۲۰- اگر در NAND دو ورودی نوعDTL (شکل زیر) هر دو ورودی در سطح بالا باشند، جریان بیس ترانزیستور Q چند میلی آمپر است؟



۱. ۲/۱
۲. ۰/۵۴
۳. ۰/۴۱
۴. ۰/۹۵

۲۱- در ترانزیستور PMOS زیر لایه از نوع ...۱... و درین از نوع ...۲... می باشند.

۱. P-۱ و N-۲
۲. P-۱ و P-۲
۳. N-۱ و P-۲
۴. N-۱ و N-۲

WWW.20FILE.ORG

تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

عنـــوان درس: الکترونیک دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)۱۱۱۵۲۰۲

۲۲- کدام گزینه غلط است؟

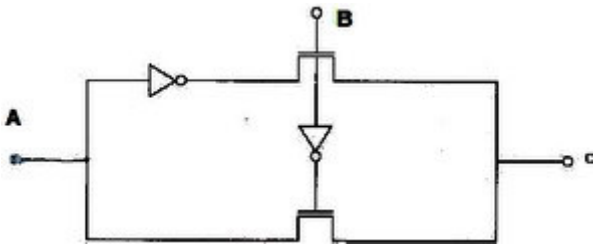
۱. در PMOS افزایشی برای کار در ناحیه تریودی باید شرط $V_{DS} \geq V_{GS} - V_t$ برقرار باشد.

۲. در NMOS افزایشی V_t بزرگتر از صفر است.

۳. در NMOS تخلیه ای برای کار در ناحیه اشباع باید شرط $V_{DS} \geq V_{GS} - V_t$ برقرار باشد.

۴. در PMOS تخلیه ای V_{DS} بزرگتر از صفر است.

۲۳- خروجی گیت زیر چیست ؟



۱. OR ۲. XOR ۳. AND ۴. NAND

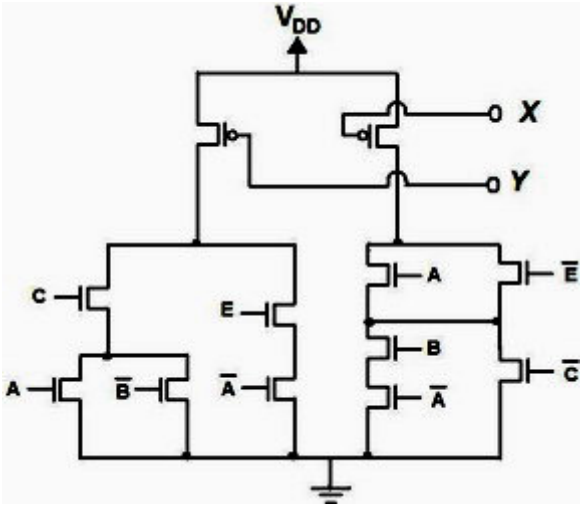
WWW.20FILE.ORG

تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

عنوان درس: الکترونیک دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)۱۱۱۵۲۰۲

۲۴- X و Y در مدار تفاضلی زیر کدام توابع را پیاده سازی می کنند؟



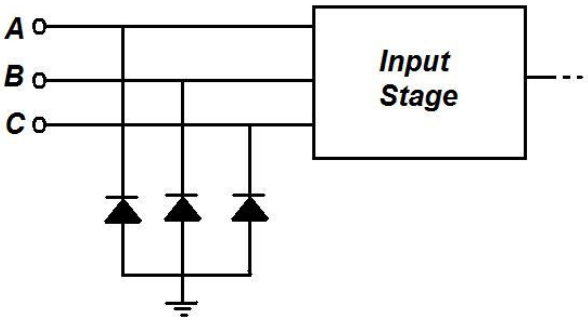
۱. $X = ((A.\overline{B}) + C).(\overline{A} + E) \quad Y = \overline{((A.\overline{B}) + C).(\overline{A} + E)}$

۲. $X = (A + \overline{B}).C + \overline{A}.E \quad Y = \overline{(A + \overline{B}).C + \overline{A}.E}$

۳. $Y = ((A.\overline{B}) + C).(\overline{A} + E) \quad X = \overline{((A.\overline{B}) + C).(\overline{A} + E)}$

۴. $Y = (A + \overline{B}).C + \overline{A}.E \quad X = \overline{(A + \overline{B}).C + \overline{A}.E}$

۲۵- وظیفه ی دیودهای محدودکننده ورودی چیست؟



۱. وقتی ورودی در حالت بالا است باعث می شودولتاژ ورودی از Vcc کمتر نشود.

۲. وقتی ورودی در حالت بالا است باعث می شودولتاژ ورودی از Vcc بیشتر نشود.

۳. وقتی ورودی در حالت پایین است باعث می شودولتاژ ورودی از ۰/۷- کمتر نشود.

۴. وقتی ورودی در حالت پایین است باعث می شودولتاژ ورودی از ۰/۷- بیشتر نشود.

WWW.20FILE.ORG

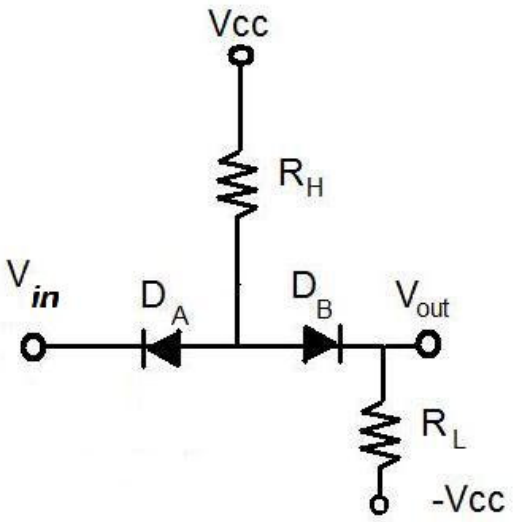
تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

عنـــوان درس: الکترونیک دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)۱۱۱۵۲۰۲

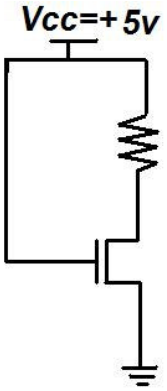
سوالات تشریحی

۱- برای مدار زیر مشخصه انتقالی را در $-V_{DC} \le V_{IN} \le V_{DC}$ رسم کنید. فرض کنید $R_L = R_H = 1K\Omega$ و $V_D(on) = 0.7v$ باشد. ۱،۴۰ نمره



۲- در مدار زیر ولتاژ درین ۰،۱ ولت است. مقاومت بین درین و سورس در نقطه کار چقدر است؟ فرض کنید : ۱،۴۰ نمره

$K_n = 0.5 {}^{mA}/_{V^2}, V_t = 1V$



WWW.20FILE.ORG

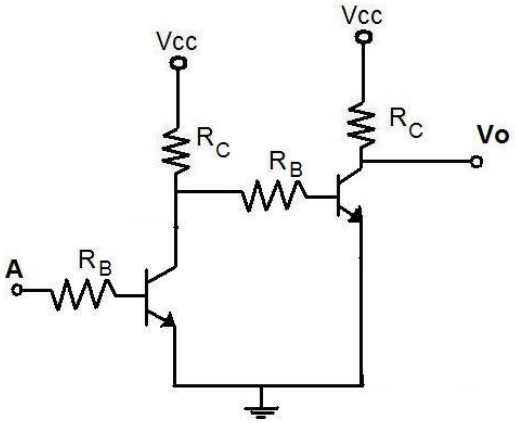
تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

عنـــوان درس: الکترونیک دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)۱۱۱۵۲۰۲

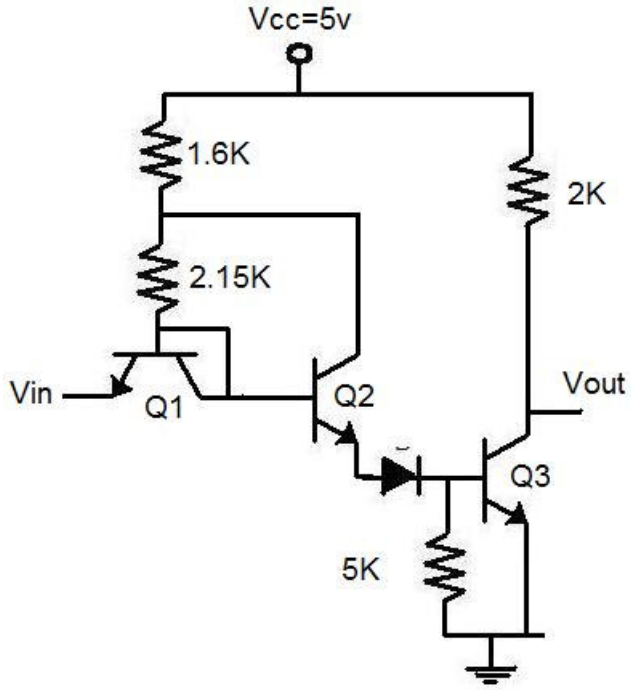
۳- توان مصرفی یگ گیت RTL با مشخصات زیر را در دو حالت : الف) بدون بار و ب) با ظرفیت یک بارخروجی محاسبه کنید. ۱،۴۰ نمره

$$R_B = 10K\Omega, V_{CC} = 5v, R_c = 1K\Omega, \beta_F = 25$$
$$V_{BE}(sat) = 0.8v, V_{CE}(sat) = 0.2v$$



۴- برای مدار DTL زیر فرض کنید، $\beta(Q_1) = \beta(Q_2) = 50$ ،الف) اگر $V_{in} = 0.2v$ باشد جریان ورودی را بیابید. ۱،۴۰ نمره

ب) اگر $V_{in} = 5v$ باشد، جریان بیس Q_3 را بیابید.



۵- مدار واسط برای خانواده های :الف) STTL به CMOS و همچنین مدار واسط برای خانواده های: ب) CMOS به STTL را با رسم شکل آن نشان دهید. ۱،۴۰ نمره