WWW.20FILE.ORG

تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** یک ۱

درس : VLSI طراحی سیستمهای

رشته تحصیلی/کد درس : مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۰۵

استفاده از ماشین حساب مهندسی مجاز است

۱- کدام جمله درست است؟

۱. بارآوری با افزایش اندازه die تقریباً ثابت میماند
۲. بارآوری با افزایش اندازه die افزایش پیدا میکند
۳. بارآوری با افزایش اندازه die کاهش پیدا میکند
۴. بارآوری از اندازه die مستقل است

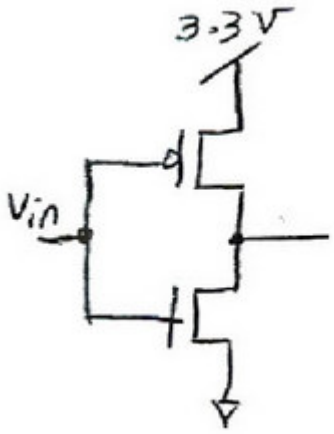
۲- با توجه به اینکه $\mu_n = 2.5\mu_p$ است. عرض نسبی دو کانال n MOSFET و p باید چه رابطه‌ای نسبت به هم داشته باشند تا پارامتر رسانایی انتقال آنها یکسان باشد؟

۱. $0.4\,w_p = w_n$
۲. $w_n = 4w_p$
۳. $w_p = 0.25w_n$
۴. $w_p = w_n$

۳- اگر بدانیم خروجی وارونگر زیر اندکی کمتر از $\frac{V_{DD}}{2}$ است، V_{in} چقدر خواهد بود؟

Vdd=3.3، $k_n = 100\,\mu A/V^2$, $k_p = 40\,\mu A/V^2$

$V_{TH,n} = |V_{TH,p}| = 0.7V$, $\lambda_n = \lambda_p$



۱. 1.65 v
۲. 1.43 v
۳. 2.5 v
۴. 0.7 v

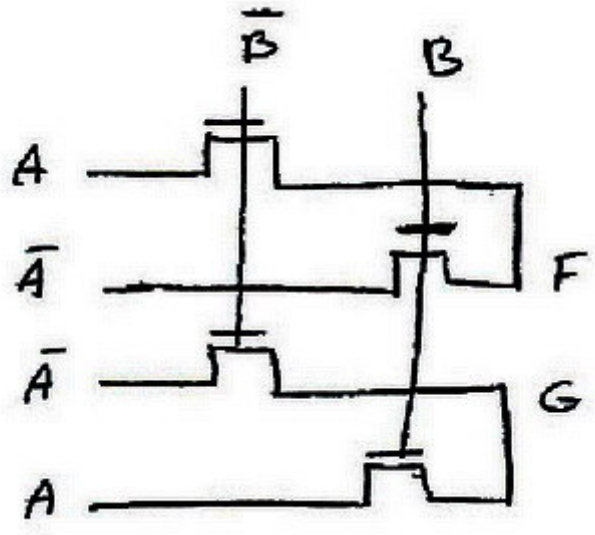
WWW.20FILE.ORG

تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

درس : طراحی سیستمهای VLSI

رشته تحصیلی/کد درس : مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۰۵

۴- منطق گیتهای انتقالی زیر چیست؟



۱. NAND / AND ۲. XOR / XNOR ۳. AND / OR ۴. AND / NOR

۵- فرض کنید قوانین طراحی به صورت زیر باشند:

- اندازه تماس: $0.4\mu \times 0.4\mu$ = فاصله تماس تا لبه ناحیه فعال: 0.3μ
- ناحیه تماس تا لبه پلی: 0.4μ - حداقل پنهای ناحیه فعال: 0.7μ

برای ترانزیستور به پهنای 2μ، که درین آن با فلز تماس پیدا کرده، مینیمم مساحت درین چقدر است؟

۱. $4\mu^2$ ۲. $1.21\mu^2$ ۳. $2.2\mu^2$ ۴. $1.05\mu^2$

۶- برای یک ترانزیستور NMOS تخلیه ای که با $V_{DS}=0.1v$ در ناحیه تریودی کار می‌کند جریان درین به ازاء $V_{GS}=-1v$ و $V_{GS}=+1v$ به ترتیب $1mA$ و $3mA$ است. ولتاژ آستانه این ترانزیستور چقدر است؟

۱. $+3.4v$ ۲. $0.8v$ ۳. $-2.05v$ ۴. $-0.95v$

۷- در یک گیت NOR پنج ورودی CMOS در صورتی که بخواهیم زمانهای بالارونده و پایین رونده با هم مساوی باشند. اندازه ترانزیستورها چیست؟ کوچکترین اندازه ترانزیستور را برابر با 2λ و $\mu_n=2\mu_p$ فرض کنید.

۱. $W_{pMOS}=4\lambda$ و $W_{nMOS}=10\lambda$ ۲. $W_{pMOS}=W_{nMOS}=10\lambda$

۳. $W_{pMOS}=10\lambda$ و $W_{nMOS}=2\lambda$ ۴. $W_{pMOS}=20\lambda$ و $W_{nMOS}=2\lambda$

WWW.20FILE.ORG

تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

درس : طراحی سیستمهای VLSI

رشته تحصیلی/کد درس : مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۰۵

۸- یک ویفر هشت اینچی به مساحت die برابر با $91mm^2$ و شامل ۳/۳ میلون ترانزیستور و چگالی نقص در واحد سانتی‌متر مربع برابر با ۱ است. درصد بارآوری این ویفر را حساب کنید. $(\alpha = 2)$

۱. ٪ ۸۳ ۲. ٪۴۷ ۳. ٪۹۱ ۴. ٪ ۲۹

۹- کدام درست است؟

۱. یک تماس می‌تواند برای اتصال نفوذ n و نفوذ p به کار رود.

۲. یک Via می‌تواند برای اتصال پلی و فلز ۲ بکار رود.

۳. یک تماس می‌تواند برای اتصال نفوذ و فلز ۱ استفاده شود.

۴. ترانزیستورهایnMOS باید در یک زیرلایه-p یا چاه p قرار گیرند که آن نیز به V_{DD} اتصال پیدا می‌کند

۱۰- معمولاً لازم است فواصل بین نماها در فاصله می‌نیممی قرار گیرند تا از مشکل ..... پیشگیری شود.

۱. اتصال کوتاه ۲. اتصال باز ۳. اتلاف توان ۴. تأخیر زمان‌بندی

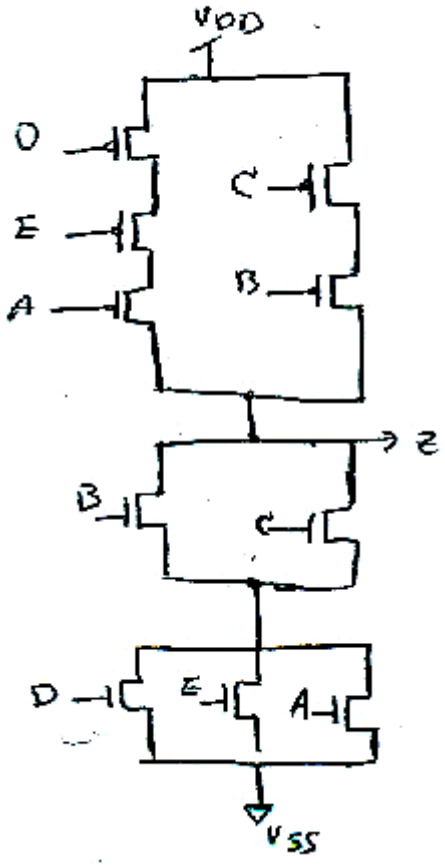
WWW.20FILE.ORG

تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

درس : طراحی سیستمهای VLSI

رشته تحصیلی/کد درس : مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۰۵

۱۱- تابع منطقی مدار زیر کدام است؟



۱. $A.B.C.D.E$

۲. $D.E.A+B.C$

۳. $A+B+C+D+E$

۴. $\overline{(D+E+A).(B+C)}$

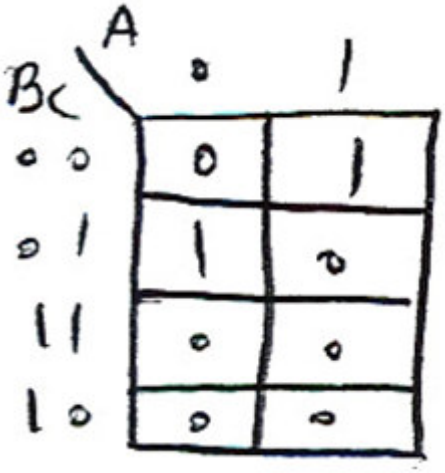
WWW.20FILE.ORG

تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

درس : طراحی سیستمهای VLSI

رشته تحصیلی/کد درس : مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۰۵

۱۲- برای پیاده سازی نقشه کارنوی زیر، حداقل به چند ترانزیستور در شبکه پایین بر نیاز داریم؟



۱. ۹ ۲. ۸ ۳. ۱۶ ۴. ۵

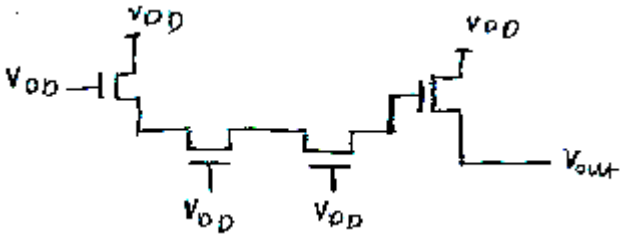
۱۳- در گیت CMOS، کاهش طول کانال MOSFETهای p و n با ضریب یکسان کاهش در هر دو ترانزیستور، بر حاشیه نویز چه تأثیری دارد؟

۱. حاشیه نویز افزایش پیدا میکند
۲. حاشیه نویز کاهش پیدا میکند.
۳. حاشیه نویز از طول کانال مستقل میباشد
۴. حاشیه نویز ثابت باقی میماند.

۱۴- در یک وارونگر CMOS $V_{dd}=3.3v$ و $w_p=6.4\mu m$ و $w_n=1.6\mu m$ میباشد کدام جواب به طور تقریبی درست است؟ V_{INV} ولتاژ آستانه ورودی وارونگر است.

۱. $V_{INV}<1.65v$ ۲. $V_{INV}=1.65v$ ۳. $V_{INV}>1.65v$ ۴. $V_{INV}=0.8v$

۱۵- در شکل زیر ولتاژ خروجی برابر چیست؟



۱. $V_{OD}-V_t$ ۲. $V_{OD}-3V_t$ ۳. $V_{OD}-2V_t$ ۴. $V_{OD}-4V_t$

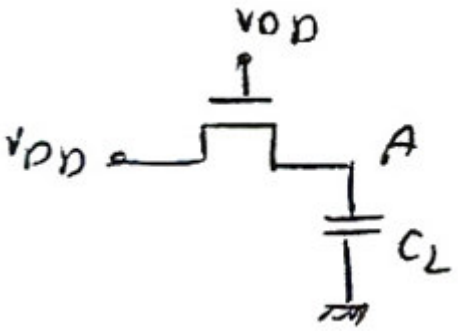
WWW.20FILE.ORG

تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

درس : طراحی سیستمهای VLSI

رشته تحصیلی/کد درس : مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۰۵

۱۶- در شکل روبرو I_{DS} گذرنده از ترانزیستور در حالت پایدار چیست؟

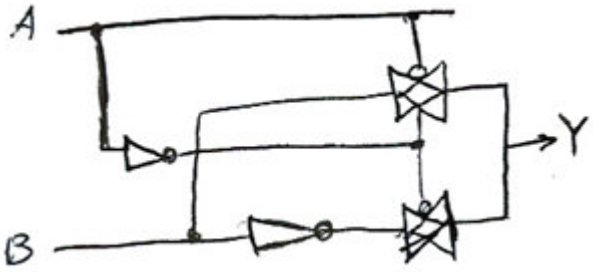


۱. ۰ (صفر)
۲. ۰.۷ mA
۳. ۱.۲۶mA
۴. به ولتاژ A بستگی دارد

۱۷- ولتاژ آستانهٔ وارونگر جایی است که در منحنی VTC آن $V_{in} = V_{out}$ می‌باشد فرض کنید وارونگری دارای ولتاژ آستانه ۱.۶v باشد چنانچه پهنای کانال p بالابر این وارونگر را دو برابر سازیم آستانه سوئیچنگ جدید چه خواهد شد؟

۱. کوچکتر از $1.6V$
۲. $1.6V$
۳. بزرگتر از $1.6V$
۴. با این داده ها نمیتوان حساب کرد

۱۸- مدار زیر، چه منطقی را پیاده‌سازی می‌کند؟



۱. XOR
۲. NAND
۳. NOR
۴. OR

۱۹- کدام قانون طراحی توصیف کننده حداقل طول کانال ترانزیستور است؟

۱. پهنای پلی سیلیکون
۲. طول پلی سیلیکون
۳. طول ناحیه نفوذ
۴. طول سیم فلزی

WWW.20FILE.ORG

تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

درس : طراحی سیستمهای VLSI

رشته تحصیلی/کد درس : مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۰۵

۲۰- کدام درست است؟

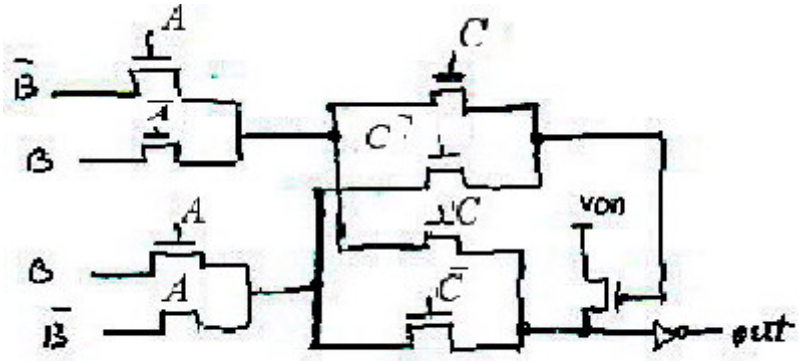
۱. ترانزیستور با پهنای بیشتر قابلیت جریاندهی کمتری دارد.

۲. ترانزیستور پهنتر در گیت خویش ظرفیت خازن کمتر دارد.

۳. ترانزیستور پهنتر مقاومت بیشتری را در مدل ترانزیستوری از خویش نشان می‌دهد.

۴. منظور از ترانزیستور ضعیف یعنی آن که مینیمم اندازه ممکن برای آن در نظر گرفته شده است.

۲۱- تابع خروجی زیر چیست؟



۱. $out = A.B.C + \overline{B}.\overline{C} + \overline{A}.\overline{C}$

۲. $out = A.B + A.C + B.C$

۳. $out = A \oplus B \oplus C$

۴. $out = A.B.C + \overline{A}.\overline{B}.C + \overline{A}.\overline{C}$

۲۲- اگر بخواهیم تأخیر انتشار وارونگر به ازای بار $0.05\ pF$ از $60\ ps$ تجاوز نکند، w_p و w_n چقدر باید باشند؟

۱. $w_n = 3.95\mu m$ و $w_p = 9.87\mu m$

۲. $w_n = 3.95\mu m$ و $w_p = 11.8\mu m$

۳. $w_n = 3.22\mu m$ و $w_p = 11.8\mu m$

۴. $w_n = 3\mu m$ و $w_p = 11\mu m$

۲۳- یک گیت انتقالی CMOS با $k'\left(w/L\right) = 100\,\mu A/V^2$ و $|V_{TH}| = 1v$ و سیگنالهای کنترلی $\pm 5\,v$ کار می‌کند، سیگنال ورودی در محدودهٔ صفر تا پنج ولت تغییر میکند مقاومت سوئیچ به ازاء مقادیر حدی چقدر است؟

۱. $333\,k\Omega$

۲. $1.25\,k\Omega$

۳. $25\,k\Omega$

۴. $3.33\,k\Omega$

WWW.20FILE.ORG

تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

درس : طراحی سیستمهای VLSI

رشته تحصیلی/کد درس : مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۰۵

۲۴- کدام گزینه در مورد گیت وارونگر BiCMOS صحیح نمی‌باشد؟

۱. قابلیت جریاندهی ترانزیستورهای دو قطبی خروجی بالا می‌باشد.

۲. توان ایستای مصرفی آن ناچیز می‌باشد.

۳. امپدانس ورودی پایین می‌باشد.

۴. فرایند ساخت آن. بسیار پیچیده می‌باشد.

۲۵- کدام گزینه در مورد ترانزیستورهای nMOS و pMOS صحیح می‌باشد؟

۱. ترانزیستور nMOS صفر را به خوبی عبور نمی‌دهد اما یک را به خوبی عبور میدهد.

۲. ترانزیستور pMOS صفر را به خوبی عبور میدهد اما یک را به خوبی عبور نمیدهد

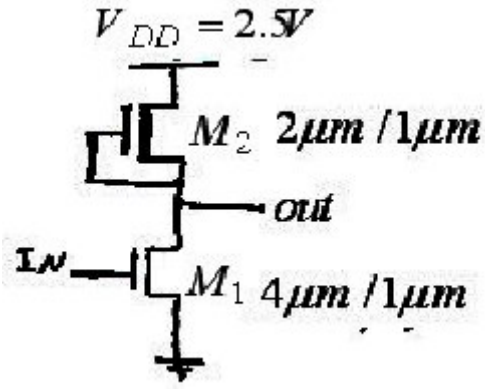
۳. ترانزیستور nMOS صفر را به خوبی عبور میدهد اما یک را به خوبی عبور نمیدهد.

۴. هر دو مانند هم هستند و هیچ تفاوتی با هم ندارند.

سوالات تشریحی

۱- تابع منطقی $F = \overline{A.B + C}$ را در منطق CMOS پیاده سازی کنید و عملکرد هر ترانزیستور را در این ساختار مشخص نمایید. ۱.۴ نمره

۲- مدار شکل زیر را در نظر بگیرید، فرض کنید ورودی IN دارای تغییرات ولتاژ صفر تا ۵/۲ (دوونیم)ولت باشد. ۱.۴ نمره



الف) چنانچه $V_{IN} = 0V$ ولتاژ باشد خروجی چیست؟ در حالت پایدار، ناحیه عملیاتی ترانزیستور M2 برای چنین ورودی چیست؟

ب) ولتاژ خروجی را برای $V_{IN} = 2.5v$ محاسبه کنید، V_{out} را کوچک فرض کنید. برای این ورودی، در حالت پایدار ناحیه عملیاتی M2 چیست؟ $V_{TH,n_1} = 0.4v$ و $V_{TH,n_2} = -0.7V$

WWW.20FILE.ORG

تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

درس : طراحی سیستمهای VLSI

رشته تحصیلی/کد درس : مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۰۵

۳- برای یک ترانزیستور pMOS افزایشی داریم: ۱.۴ نمره

$$V_{TH} = -1.5v \ , \ \mu_P C_{OX} \frac{W}{L} = 80\mu \frac{A}{V^2} \quad \text{و} \quad \lambda = 0.02V^{-1}$$

گیت به زمین و سورس به $+5V$ متصل شده است جریان درین را به ازاء مقادیر زیر بیابید.

الف) $V_D = +4V$ ب) $V_D = 0V$

۴- ویژگی‌های اساسی فناوری CMOS را نام برده و چهار فناوری اصلی CMOS را نام ببرید. ۱.۴ نمره

۵- وارونگری با مشخصات زیر در نظر بگیرید: (وارونگر با بار مقاومتی) ۱.۴ نمره

$$V_{DD} = 5V \ , \ K'_n = 30\mu \frac{A}{V^2} \ , V_{TH,n} = 1V$$

نسبت W/L ترانزیستور درایور و مقدار مقاومت بار RL را طوری تعیین کنید که $V_{OL} = 0.2v$ باشد.