تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** یک ۱

عنـــوان درس: طراحی خودکارمدارهای دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۱۳

استفاده از ماشین حساب مهندسی مجاز است

۱- کدام گزینه بهترین روش در طرح های متوسط وپیچیده برای ساخت نمونه اولیه می باشد؟

۱. روش نیمه سفارشی
۲. استفاده از قطعات استاندار
۳. استفاده از قطعات برنامه پذیر
۴. روش تمام سفارشی

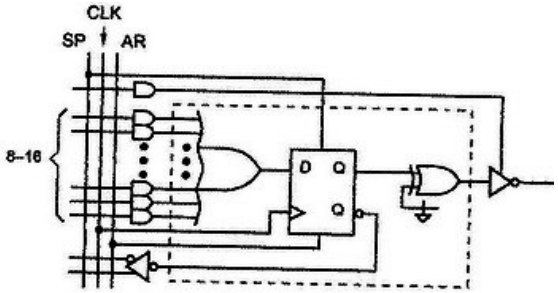
۲- کدام گزینه از مدارات برنامه پذیر نیست؟

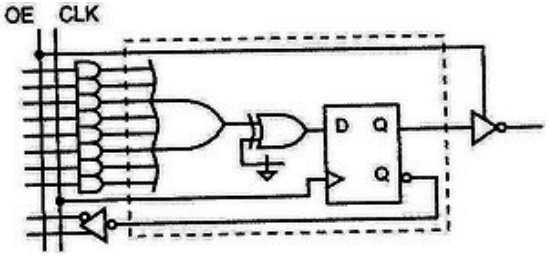
۱. ROM
۲. PROM
۳. PLD
۴. FPGA

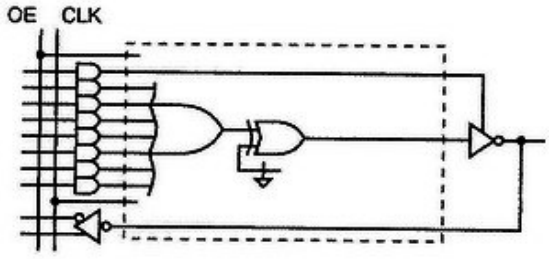
۳- کدام گزینه از PAL های ترتیبی تقلید می کند؟

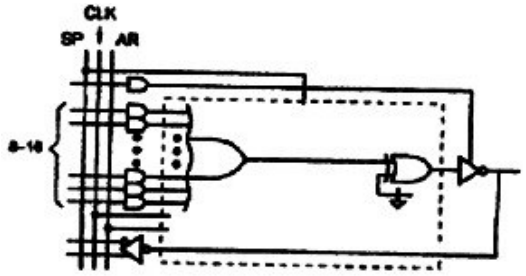
۱. ۱۶V8C
۲. ۱۶V8S
۳. ۱۶V8R
۴. ۱۶V8S، 16V8R

۴- کدام گزینه مربوط به درشت سلول منطقی(ماکروسل) با خروجی ترکیبی مربوط به GAL22V10 است؟

۱.


۲.


۳.


۴.


۵- کدام گزینه از انواع FPGA بر اساس ساختار منابع اتصالی نیست؟

۱. با استفاده از آنتی فیوز
۲. با استفاده از فیوز
۳. با استفاده از دیود
۴. یک سری ترانزیستور که به وسیله EPROM کنترل می شود.

تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

عنـــوان درس: طراحی خودکارمدارهای دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۱۳

۶- کدام گزینه از کاربردهای FPGA است؟

مورد اول : جایگزینی تراشه های VLSI

مورد دوم : ساخت نمونه اولیه

موردسوم : مدارات مجتمع با کاربرد خاص

مورد چهارم : سخت افزارهای قابل پیکربندی مجدد درجا

۱. همه موارد
۲. همه موارد بجز مورد اول
۳. همه موارد بجز مورد چهارم
۴. فقط مورد اول و چهارم

۷- کدام گزینه جمله زیر را به طور صحیح کامل می کند؟

یک ..... از تعداد زیادی ..... تشکیل شده است و مولد های تابع منطقی مهمترین عناصر برنامه ریزی ..... ها هستند.

۱. CLB - CLB - FPGA
۲. CLB - FPGA - CLB
۳. CLB - FPGA - FPGA
۴. FPGA - CLB - FPGA

۸- کدام گزینه بیان غلطی در مورد VHDL ارائه می کند؟

۱. توصیف جریان داده ، بر اساس انتقال داده بین ثبات ها انجام می شود.
۲. VHDL می تواند دستورات ترتیبی را به ترتیب نوشتن آنها اجرا کند .
۳. VHDL امکان توصیف سیستم دیجیتال را در هر دو حوزه رفتاری و ساختاری ارائه می دهد.
۴. مدل ساختاری دو نوع است که عبارتند از:جریان داده والگوریتمی

۹- کدام بیان در مورد entity گزینه غلطی را بیان می کند؟

۱. تعریف entity با کلمه رزرو شده entity شروع می شود.
۲. بخش entity در VHDL شامل یک نام برای entity ولیست ورودی و خروجی ها است.
۳. NAME_OF_ENTITY : شناسه ای است که لازم است توسط کاربر انتخاب گردد.
۴. در entity از کلمه رزرو شده port برای مشخص کردن ارتباطات بین entity ودنیای خارج آن استفاده می شود.

۱۰- کدام از گزینه های زیر از مزایای استفاده از مدارات برنامه پذیر می باشد؟

۱. هزینه ساخت و نگهداری کمتر
۲. سهولت تست مدار
۳. استفاده مجدد از کتابخانه ها
۴. همه موارد

تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

عنـــوان درس: طراحی خودکارمدارهای دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۱۳

۱۱- شناسه غیر معتبر کدام گزینه است؟

۱. Gate-input ۲. D10 ۳. f_10 ۴. My_ gate1

۱۲- در مورد دستورات شرطی کدام گزینه غلط است؟

۱. دستور exit از روی باقیمانده دستورات loop پرش کرده واجرای برنامه را از دستور بعداز loop ادامه می دهد.

۲. دستور Basic-Loop شرط تکرار ندارد،بطور پیوسته اجرا می شود تا به یک دستور exit یا next برسد.

۳. دستور While-Loop برای جاهائی که تعداد دفعات تکرار با یک integer شمارش می شود،بکار می رود.

۴. دستور next باقیمانده دستورات تکرار جاری حلقه را رها کرده و به تکرار بعدی حلقه می رود.

۱۳- کدام مورد جزو مدلسازی ساختاری می باشد؟

مورد اول : سیگنال ها و مولفه ها در قسمت component تعریف می شوند.

مورد دوم : اعلان لیستی شامل مولفه هائی که در مدار استفاده می شود.

مورد سوم : معرفی سیگنال هائی که شبکه اتصالی بین مولفه ها را تشکیل می دهند.

مورد چهارم : به هر نمونه از هر مولفه، یک برچسب یکتا تعلق گیرد.

۱. مورد اول ۲. همه موارد بجز مورد اول

۳. مورد سوم ۴. همه موارد بجز مورد سوم

۱۴- کدام گزینه عبارت زیر در مورد تاخیر در VHDL را به طور صحیح کامل می کند؟

..... برای مدل کردن تاخیر خطوط سیمی در بردها و المانهای تاخیر در مدارات و تاخیر مسیر سیگنالها در داخل ICها استفاده می شود.

۱. تاخیر ترکیبی ۲. تاخیر لختی ۳. تاخیر سیگنالینگ ۴. تاخیر انتقال

۱۵- گزینه غلط را مشخص کنید.

۱. در خواندن فایل برای تشخیص اینکه آخرین عنصر فایل خوانده شده یا خیر،می توان از finish file استفاده نمود.

۲. یک فایل در زبان VHDL یک کلاس از شیئ است که برای ذخیره داده ها استفاده می شود.

۳. پروسیجر شامل یک سری دستورات برای انجام یک کار است .

۴. تابع(فانکشن)شامل یک سری از دستورات جهت محاسبه یک مقدار است.

تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

عنـــوان درس: طراحی خودکارمدارهای دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۱۳

۱۶- قطعه برنامه زیر مربوط به کدام گزینه است؟

```
entity xxxxxxx  is
port( x: in std_logic;
      y: in std_logic;
      F: out std_logic
      );
end xxxxxxx ;
-------------------------------------
architecture behv1 of  xxxxxxx  is
begin
    process(x, y)
    begin
        -- compare to truth table
      if (x='0' and y='0') then
            F <= '1';
      else
          F <= '0';
      end if;
    end process;
end behv1;
-------------------------------------
```

۱. NAND دو ورودی ۲. NOR دو ورودی ۳. OR دو ورودی ۴. AND دو ورودی

۱۷- کدام گزینه جمله زیر را به طور صحیح کامل می کند؟

در توصیف طرح به زبان VHDL بخش ------ برای تعریف درگاه های ورودی خروجی مدار استفاده می شود.

۱. entity ۲. architecture ۳. process ۴. inout

تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

عنـــوان درس: طراحی خودکارمدارهای دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۱۳

۱۸- قطعه برنامه زیر مربوط به کدام گزینه است؟

```
entity q   is
Prot(data _ in:  in std_ logic
        clock:   in std_ logic;
          data _ out:   out std_ logic;
end q;

arachitecture  behave  of q   is
Begin
    Process (data _ in, clock)
    Begin
         If (clock='1' and clock'event) then
              data _ out <= data _ in;
               end if;

     End process
End behv;
```

۱. مالتی پلکسر ۲. معکوس کننده(NOT) ۳. بافر ۴. فلیپ فلاپ D

تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** یک ۱

عنـــوان درس: طراحی خودکارمدارهای دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۱۳

۱۹- قطعه برنامه زیر مربوط به کدام گزینه است؟

```
entity   xxxxxxx    is
port( num1, num2: in std_logic_vector(1 downto 0);
      product:    out std_logic_vector(3 downto 0));
end   xxxxxxx    ;
-------------------------------------------------------
architecture behv of   xxxxxxx    is
begin
process(num1, num2)
  variable num1_reg: std_logic_vector(2 downto 0);
  variable product_reg: std_logic_vector(5 downto 0);
begin
  num1_reg := '0' & num1;
  product_reg := "0000" & num2;
--use variables doing computation
--algorithm is to repeat shifting/adding
  for i in 1 to 3 loop
    if product_reg(0)='1' then
        product_reg(5 downto 3):= product_reg(5 downto 3)
                                  + num1_reg(2 downto 0)
    end if;
    product_reg(5 downto 0):='0' & product_reg(5 downto 1)
  end loop;
--assign the result of computation back to output signal
  product <= product_reg(3 downto 0);
end process;
end behv;
-------------------------------------------------------
```

۱. دی مالتی پلکسر ۱ به ۴

۲. مالتی پلکسر ۴ به ۱

۳. ضرب کننده دو بیتی

۴. شیفت رجیستر ۴ بیتی

تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

عنـــوان درس: طراحی خودکارمدارهای دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۱۳

۲۰- قطعه برنامه زیر بیانگر کدام گزینه است؟

```
ARCHITECTURE p IS
  TYPE vector_array IS ARRAY (0 TO words-1) OF STD_LOGIC_VECTOR (bits-1
DOWNTO 0);
ONSTANT memory: vector_array := ("10000000",
"01000000",
"00100000",
"00010000",
"00001000",
"00000100",
"00000010",
"00000001",
"10000000");
BEGIN
    Process (Enable, Read, Addr)
    Begin
       If Enable = '1' then
          if ( Read = '1') then
              Data <= memory ( addr ) ;
          else Data <= "zzzzzzzz" ;
           end if ;
       else Data <= "zzzzzzzz" ;
       end if ;
     end process ;
     end      ;
```

۱. مالتی پلکسر ۸ به ۱
۲. حافظه فقط خواندنی(ROM)
۳. دی مالتی پلکسر ۱ به ۸
۴. دیکدر ۳ به ۸

۲۱- در کدام یک از حالات زیر هریک از مولد های تابع F و G به عنوان یک SRAM با خطوط آدرس مستقل و ورودی write_data مستقل مشترک استفاده می شوند؟

۱. دو تا SRAM با ظرفیت 1*16
۲. یک SRAM دو درگاهه1*16
۳. یک SRAM با ظرفیت 1*32
۴. سنکرون یا آسنکرون

تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

عنـــوان درس: طراحی خودکارمدارهای دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۱۳

۲۲- قطعه برنامه زیر بیانگر کدام گزینه می باشد؟

```
entity mm is
port( mmin:       in std_logic_vector(15 downto 0);
      mmld:       in std_logic;
     dir_addr:    out std_logic_vector(15 downto 0);
      mmout:      out std_logic_vector(15 downto 0)
     );
end mm;
-------------------------------------------------
architecture behv of mm is
begin
  process( mmld, mmin)
  begin
    if mmld = '1' then
      mmout <= mmin;
      dir_addr <= "00000000" & mmin(7 downto 0);
    end if;
  end process;
end behv;
-------------------------------------------------
```

۱. ثبات دستورالعمل ۲. شمارنده برنامه ۳. انتخاب کننده ۴. بافر خروجی

۲۳- کدام گزینه در نرم افزار MAX+PLUSII امکان وارد کردن طرح ازطریق نمودار زمانی و همچنین وارد کردن بردارهای تست و مشاهده نتایج شبیه سازی را فراهم می کند؟

۱. ویرایشگر گرافیکی ۲. ویرایشگر شکل موج ۳. ویرایشگر پایه ها ۴. ویرایشگر سمبل

۲۴- کدام گزینه مسیر مربوط به تنظیم اختیارات بهینه سازی در نرم افزار MAX+PLUSII را ارائه می کند؟

۱. Option>Grid size ۲. Assign >Device

۳. MAX+PLUSII>Compiler ۴. Assign >Global Project Logic Syntesis

۲۵- کدام گزینه باعث بروز خطا در VHDL می باشد؟

۱. نام پورت متفاوت از نام Entity انتخاب شود. ۲. نام فایل (دقیقاً) بانام Entity مطابقت داشته باشد.

۳. فایل با پسوند پیش فرض (غیر VHD) ذخیره شود. ۴. نام فایل از حروف کوچک انتخاب شود.

سوالات تشریحی

۱- درمورد مقایسه FPGA و CPLD چهار مورد را به اختصار توضیح دهید. ۱.۴۰ نمره

تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

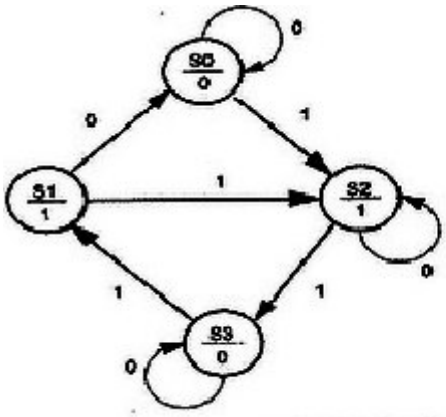
عنـــوان درس: طراحی خودکارمدارهای دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۱۳

۲- با توجه به دستور Case **قسمت** architecture **مربوط به بررسی مقدار سیگنالی با نام** GRADES **را بنویسیدکه اگر مقدار** GRADES **بین ۵۱ تا ۶۰ باشد خروجی** D **، اگر مقدار** GRADES **بین ۶۱ تا ۷۵ باشد خروجی** C **، اگر مقدار** GRADES **بین ۷۶ تا ۸۵ باشد خروجی** B **، اگر مقدار** GRADES **بین ۸۶ تا ۱۰۰ باشد خروجی** A **یک شود.در غیر اینصورت خروجی** F **مقدار یک می گیرد.** ۰،۹۳ نمره

۳- قسمت architecture **مربوط به خواندن محتوای** ROM **از فایل را بنویسید.** ۱،۸۷ نمره

۴- توصیف رفتاری ماشینی با جدول و نمودار حالت به صورت زیر را بنویسید. ۱،۴۰ نمره



حالت فعلی	حالت بعدی		خروجی
	X=0	X=1	z
S0	S0	S2	0
S1	S0	S2	1
S2	S2	S3	1
S3	S3	S1	0

شکل ۵-۱)جدول و نمودار حالت ماشین مور

۵- درمورد مقایسه آرایه های منطقی قابل برنامه ریزی (PLA) با منطق آرایه ای قابل برنامه ریزی (PAL) ، توضیح داده و همچنین دو نوع منطق آرایه ای قابل برنامه ریزی (PAL) را فقط نام ببرید. ۱،۴۰ نمره