تعداد سوالات : تستی : ۲۴ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** یک ۱

عنـــوان درس: VLSI طراحی سیستمهای

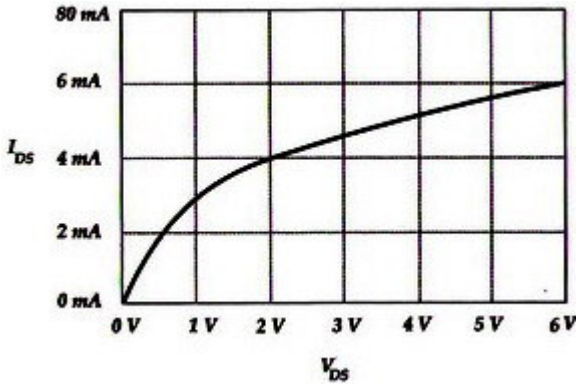
رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۰۵

استفاده از ماشین حساب ساده ، ماشین حساب مهندسی مجاز است

۱- تعداد die **در ویفری به قطر** $16cm$ **با فرض آنکه اندازه** die **برابر** $70mm^2$ **باشد، کدام است؟(** $\pi = 3$ **)**

۱. 158 ۲. 196 ۳. 234 ۴. 275

۲- منحنی I/V **برای یک ترانزیستور در شکل زیر نشان داده شده است. ضریب مدولاسیون طول کانال برای این ترانزیستور کدام است؟**

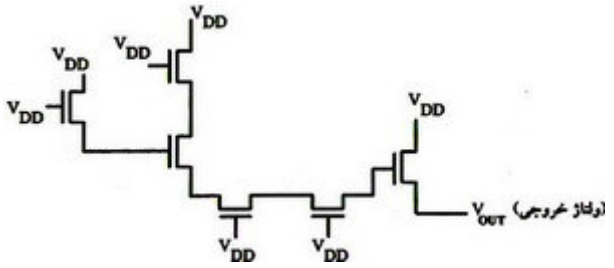


۱. 1.33 ۲. 0.66 ۳. 0.33 ۴. 0.167

۳- برای ساخت خازنی از فناوری cmos **استفاده شده است. بدین منظور، سطوح فلزی گیت و زیر لایه به عنوان صفحات خازن به کار می‌روند. اگر ضخامت اکسید بین** $20nm$ **تا** $100nm$ **باشد و صفحات خازن مربعی باشند و بخواهیم ظرفیت خازن مزبور** $1pF$ **باشد، مینیمم ابعاد آنها چقدر می‌باشد؟(** $\varepsilon_{ox} = 3.5\times10^{-13}\,F/cm$ **)**

۱. $2.85nm$ ۲. $23.9\mu m$ ۳. $53.45\mu m$ ۴. $16.9\mu m$

۴- ولتاژ خروجی در شکل زیر کدام است؟



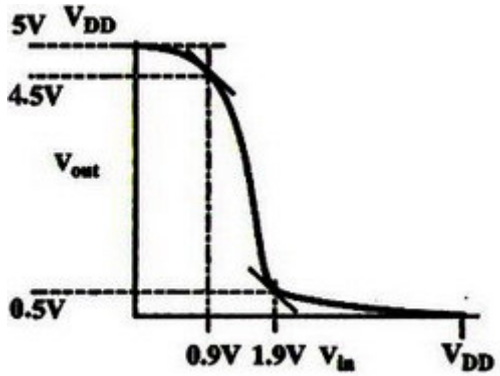
۱. $V_{DD} - V_t$ ۲. $V_{DD} - 2V_t$ ۳. $V_{DD} - 3V_t$ ۴. $V_{DD} - 4V_t$

تعداد سوالات : تستی : ۲۴ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

عنـــوان درس: طراحی سیستمهای VLSI

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۰۵

۵- منحنی مشخصه انتقالی وارونگر cmos ای در شکل زیر نشان داده شده است. کدام گزینه در مورد وارونگر صحیح می‌باشد؟



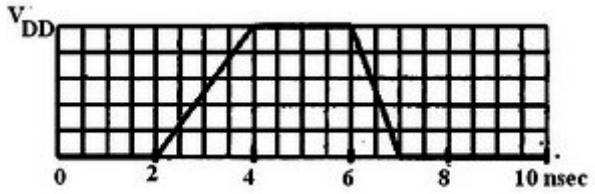
۱. $2.5(\frac{W}{L})_n > (\frac{W}{L})_p, NM_H = 0.5, NM_L = 0.5$

۲. $2.5(\frac{W}{L})_n > (\frac{W}{L})_p, NM_H = 3.1, NM_L = 0.9$

۳. $2.5(\frac{W}{L})_p > (\frac{W}{L})_n, NM_H = 3.1, NM_L = 0.9$

۴. $2.5(\frac{W}{L})_p > (\frac{W}{L})_n, NM_H = 0.9, NM_L = 3.1$

۶- یک وارونگر دارای تاخیرهای انتشار $\tau_{PHL} = \tau_{PLH} = 1ns$ در هنگام درایو شدن با پالس ورودی با زمان‌های شیب افت و خیز صفر می‌باشد. برای شکل موج ورودی زیر τ_{PLH} , τ_{PHL} خروجی کدام است؟



۱. $\tau_{PHL} = 2ns, \tau_{PLH} = 1ns$

۲. $\tau_{PHL} = 1.05ns, \tau_{PLH} = 1.25ns$

۳. $\tau_{PHL} = 1.28ns, \tau_{PLH} = 1.08ns$

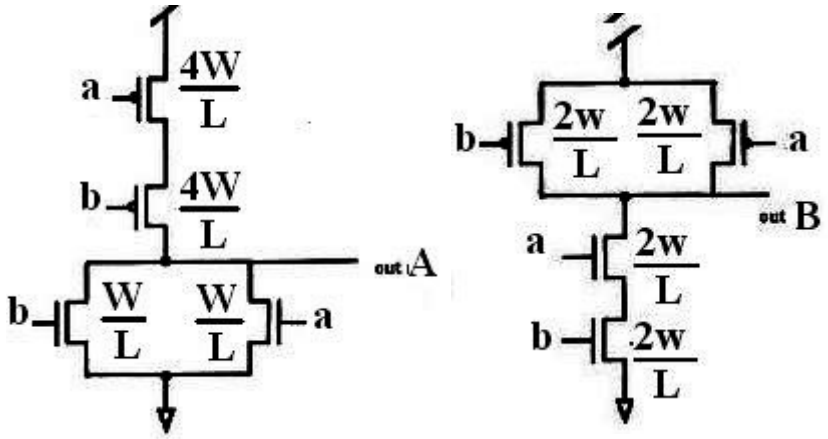
۴. $\tau_{PHL} = 1.45ns, \tau_{PLH} = 1.07ns$

تعداد سوالات : تستی : ۲۴ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

عنـــوان درس: طراحی سیستمهای VLSI

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۰۵

۷- کدام گزینه در مورد مدارهای زیر صحیح است؟(نسبت $\frac{W}{L}$ ها در هر دو مدار برابر می‌باشد)



۱. مدار A دارای زمان پایین رونده سریعتری در مقایسه با مدار B می‌باشد.

۲. مدار B دارای زمان پایین رونده سریعتری در مقایسه با مدار A می‌باشد.

۳. مدار A دارای زمان بالا رونده سریعتری در مقایسه با مدار B می‌باشد.

۴. زمان بالارونده مدار A برابر با زمان بالارونده مدار B می‌باشد.

۸- کدام گزینه صحیح می‌باشد؟

۱. در ترانزیستورهایی که از خطوط تغذیه دورتر می‌باشند، احتمال وقوع پدیده قفل شدگی بیشتر می‌باشد.

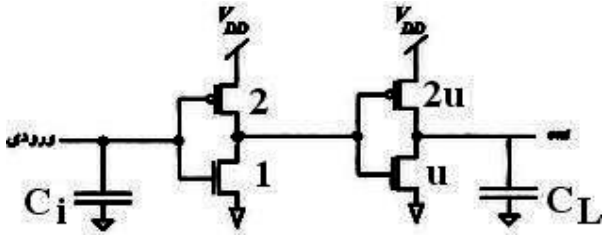
۲. با کاهش مقاومت Rwell و Rsub در cmos احتمال وقوع پدیده قفل شدگی بیشتر می‌شود.

۳. یکی از راه‌های جلوگیری از پدیده قفل شدگی قرار دادن یک لایه رونشستی با آلایش زیاد بر روی زیر لایه با آلایش کم می‌باشد.

۴. استفاده از حلقه‌های محافظ در cmos باعث افزایش بهره ترانزیستورهای دو قطبی عامل پدیده قفل شدگی می‌شود.

۹- در مدار شکل زیر اگر $C_L = 4\,pF$ و $C_i = 10\,fF$ و تاخیر وارونگر حداقل اندازه برای تحریک یک وارونگر حداقل اندازه $1n\sec$ باشد، u و تاخیر انتشار کل کدام است؟

$(1fF = 10^{-15}F)$



۱. $10,10n\sec$ ۲. $40,20n\sec$ ۳. $20,20n\sec$ ۴. $20,40n\sec$

تعداد سوالات : تستی : ۲۴ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

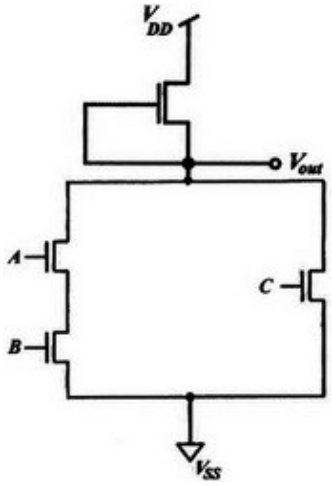
عنـــوان درس: طراحی سیستمهای VLSI

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۰۵

۱۰- تابع $F(A,B,C,D,E)=\overline{\overline{(A+B+C).(D+E)}}$ معادل کدام روش نوشت گذاری زیر است؟

۱. $AO311$ ۲. $OAII311$ ۳. $OA32$ ۴. $OAI32$

۱۱- در مدار شکل زیر بافرض آنکه $(\frac{W}{L})_{pu}=1$ باشد، برای عملکرد صحیح و متقارن مدار کدام گزینه صحیح است؟



۱. $\left(\frac{W}{L}\right)_B=\left(\frac{W}{L}\right)_A=2,\left(\frac{W}{L}\right)_C=4$

۲. $\left(\frac{W}{L}\right)_B=\left(\frac{W}{L}\right)_A=\frac{1}{2},\left(\frac{W}{L}\right)_C=\frac{1}{4}$

۳. $\left(\frac{W}{L}\right)_B=\left(\frac{W}{L}\right)_A=\left(\frac{W}{L}\right)_C=1$

۴. $\left(\frac{W}{L}\right)_B=\left(\frac{W}{L}\right)_A=1,\left(\frac{W}{L}\right)_C=2$

۱۲- کدام گزینه صحیح نمی‌باشد؟

۱. توان مصرفی مدارهای BiCMOS کمتر از مدارهای CMOS می باشد.

۲. جریان دهی مدارهای BiCMOS بیشتر از مدارهای CMOS می‌باشد.

۳. پیچیدگی مدارهای BiCMOS بیشتر از مدارهای CMOS می‌باشد.

۴. تاخیر مدارهای BiCMOS کمتر از مدارهای CMOS می‌باشد.

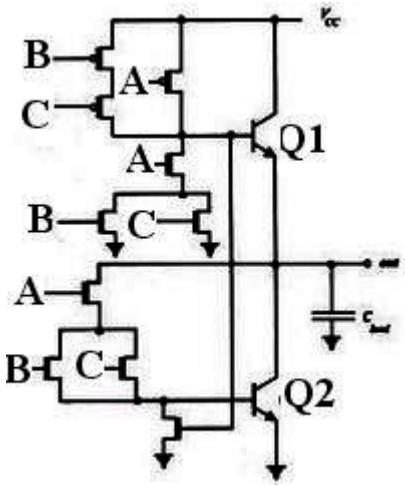
تعداد سوالات : تستی : ۲۴ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

عنـــوان درس: طراحی سیستمهای VLSI

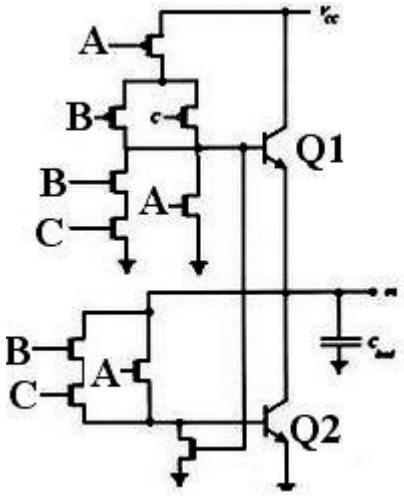
رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۰۵

۱۳- کدام گزینه پیاده‌سازی عبارت $\overline{Z} = A.(B+C)$ را به وسیله منطق BiCMOS نشان می‌دهد؟

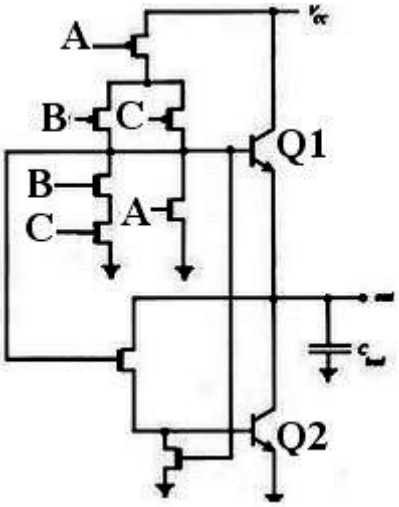
۱.



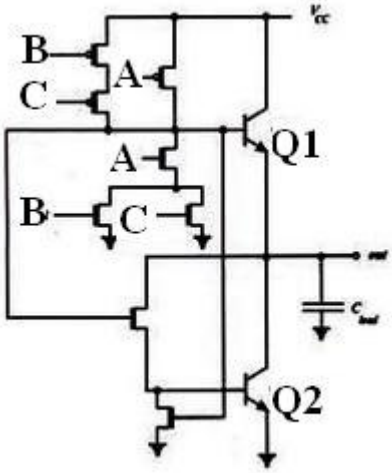
۲.



۳.



۴.

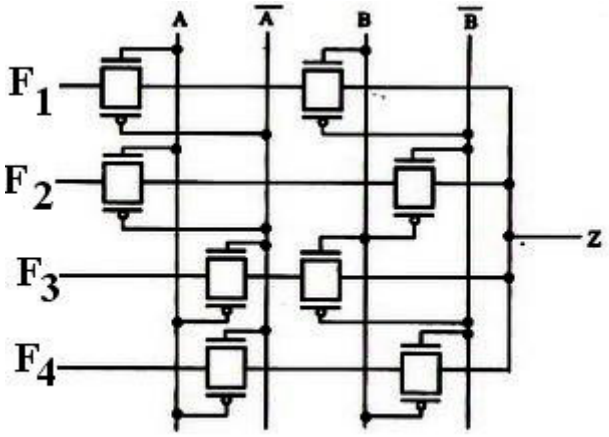


تعداد سوالات : تستی : ۲۴ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

عنـــوان درس: طراحی سیستمهای VLSI

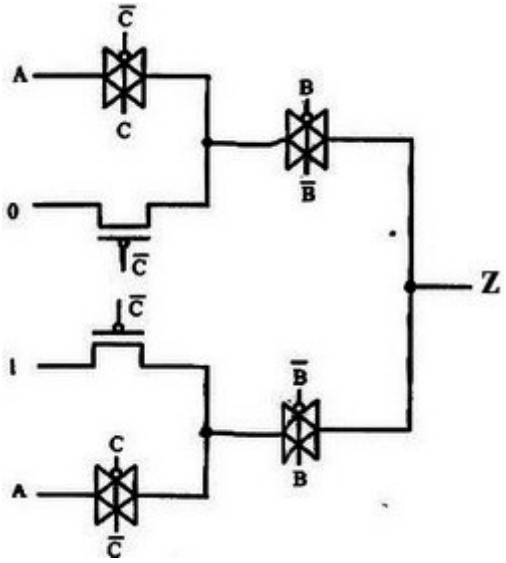
رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۰۵

۱۴- در مدار شکل زیر اگر $F_1F_2F_3F_4 = 1001$ **باشد، این واحد چه گیت منطقی را پیاده سازی می کند؟**



۱. XOR(A,B) ۲. XNOR(A,B) ۳. NAND (A,B) ۴. OR(A,B)

۱۵- گیت‌های انتقالی زیر چه تابع منطقی را پیاده‌سازی می‌کنند؟



۱. $AC + AB + BC$ ۲. $A.B.C$

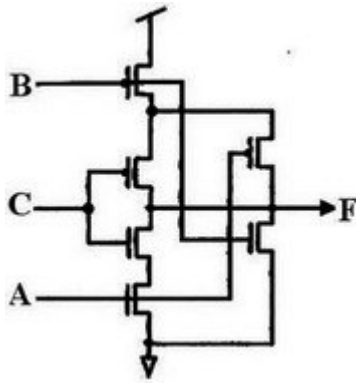
۳. $AB + C\overline{B} + AB$ ۴. $AC + A\overline{B} + C\overline{B}$

تعداد سوالات : تستی : ۲۴ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

عنـــوان درس: طراحی سیستمهای VLSI

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۰۵

۱۶- تابع منطقی مدار زیر چیست؟



۱. $F = \overline{ABC}$ ۲. $F = \overline{A+B+C}$ ۳. $F = \bar{A}.(\bar{B}+\bar{C})$ ۴. $F = \bar{B}.(\bar{A}+\bar{C})$

۱۷- کدام گزینه مقاومت لایه ها را به ترتیب نزولی به درستی نشان می دهد؟

۱. پلی- عایق- نفوذ- فلز
۲. عایق- نفوذ- پلی- فلز
۳. عایق- پلی- نفوذ- فلز
۴. عایق- فلز - پلی- نفوذ

۱۸- با فرض آنکه در جدول زیر قوانین اتصال لایه‌ها در CMOS رعایت شده است، کدام گزینه درست است؟

فلز ۱	پلی	نفوذ نوع p	نفوذ نوع n	
D	C	B	A	نفوذ نوع p

۱. اتصال A : باعث پدید آمدن ترانزیستور می‌شود.
اتصال B : در صورت عبور دو نفوذ همواره برقرار است.
اتصال C : غیرمجاز است.

۲. اتصال B : غیر مجاز است.
اتصال C : باعث پدید آمدن ترانزیستور می‌شود.
اتصال D : در صورت استفاده contact این اتصال برقرار می‌باشد.

۳. اتصال A : غیر مجاز است.
اتصال C : باعث پدید آمدن ترانزیستور می‌شود.
اتصال D : در صورت استفاده contact این اتصال برقرار می‌باشد.

۴. اتصال A : باعث پدید آمدن ترانزیستور می‌شود.
اتصال B : در صورت عبور دو نفوذ همواره برقرار است.
اتصال D : در صورت استفاده via این اتصال برقرار می‌باشد.

تعداد سوالات : تستی : ۲۴ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

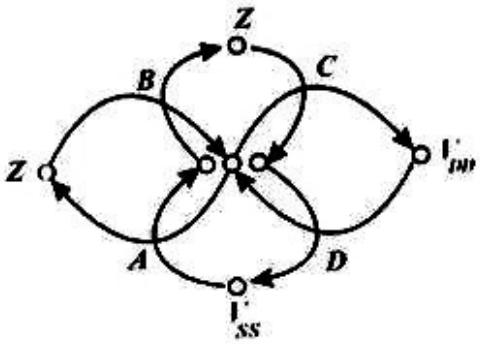
عنـــوان درس: طراحی سیستمهای VLSI

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۰۵

۱۹- برای تراشه ای که در فرآیند 0.35μ ساخته شده است، λ کدام است؟

۱. 0.35μ
۲. 0.7μ
۳. 0.175μ
۴. λ برابر حداقل پهنای نفوذ است.

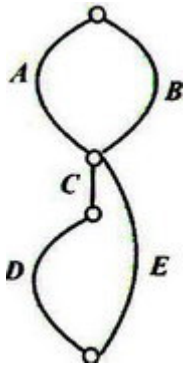
۲۰- تابع منطقی متناظر با گراف اولری زیر کدام است؟

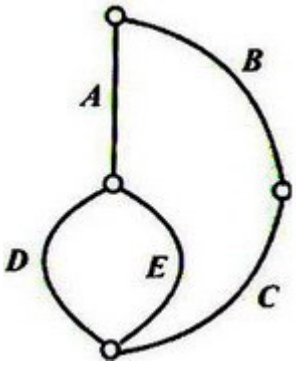


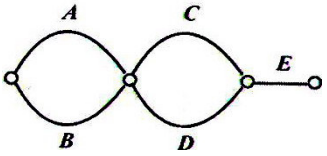
۱. $Z = (A + D).(C + B)$
۲. $Z = (A + B).(C + D)$
۳. $\overline{Z} = (C.B + A.D)$
۴. $\overline{Z} = (A.B + C.D)$

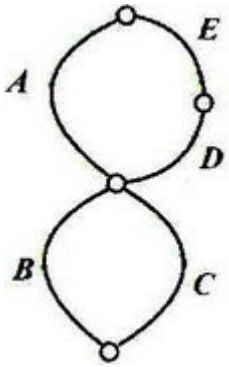
۲۱- گراف اولری شبکه $PMOS$ متناظر با تابع زیر کدام است؟

$$out = \overline{A.(D+E)+B.C}$$

۱.


۲.


۳.


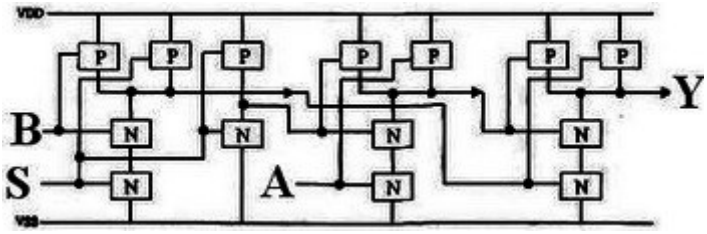
۴.


تعداد سوالات : تستی : ۲۴ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

عنـــوان درس: طراحی سیستمهای VLSI

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۰۵

۲۲- نمودار نشان داده شده در شکل زیر کدام تابع منطقی را پیاده‌سازی می‌کند؟



۱. $Y = \overline{(\overline{S}.A).(\overline{S}.\overline{B})}$

۲. $Y = (\overline{B}.S) + (B.A)$

۳. $Y = A.\overline{S} + B.S$

۴. $Y = \overline{\overline{A}.B}.\overline{\overline{S}.B}$

۲۳- معمولاً لازم است فواصل بین نماها در فاصله مینیممی قرار گیرند تا از مشکل..... پیشگیری شود؟

۱. اتصال باز ۲. اتصال کوتاه ۳. اتلاف توان ۴. تاخیر زمان بندی

۲۴- فرض کنید قوانین طراحی به صورت زیر باشند:

-اندازه تماس: $0.3\mu * 0.3\mu$

-فاصله تماس تا لبه ناحیه فعال: 0.2μ

-فاصله تماس تا لبه پلی: 0.3μ

با فرض وجود یک تماس در درین، برای حصول کوچکترین ظرفیت خازن درین، مساحت درین چقدر باید باشد؟

۱. $0.64\mu^2$ ۲. $0.56\mu^2$ ۳. $1.1\mu^2$ ۴. $0.36\mu^2$

تعداد سوالات : تستی : ۲۴ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

عنـــوان درس: طراحی سیستمهای VLSI

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۰۵

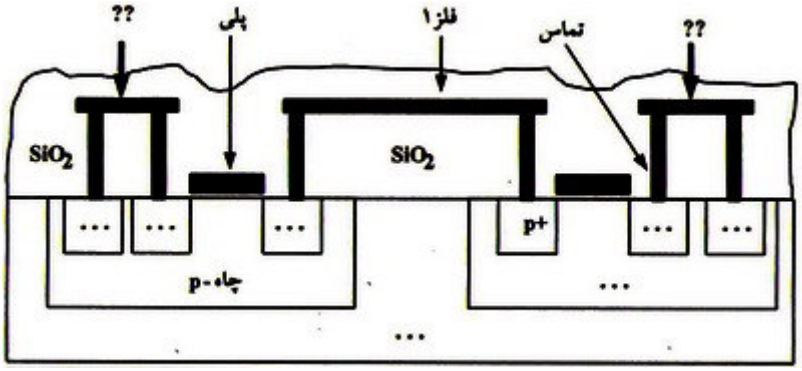
سوالات تشریحی

۱- برش مقطعی از یک وارونگر در فرآیندی خاص در شکل زیر نشان داده شده است. ۱،۴۰ نمره

الف) بر حسب نوع ترانزیستورهای نشان داده شده در شکل، چاه n یا p، نواحی سورس و درین و نوع آلایش ها را مشخص کنید.(جاهای نشان داده شده با نقطه چین را کامل کنید.)

ب)جای علامت ؟؟ نشان داده شده در شکل، از ولتاژهای مناسب استفاده کنید.

ج) نام این فرآیند و علت استفاده از آن را ذکر نمایید.

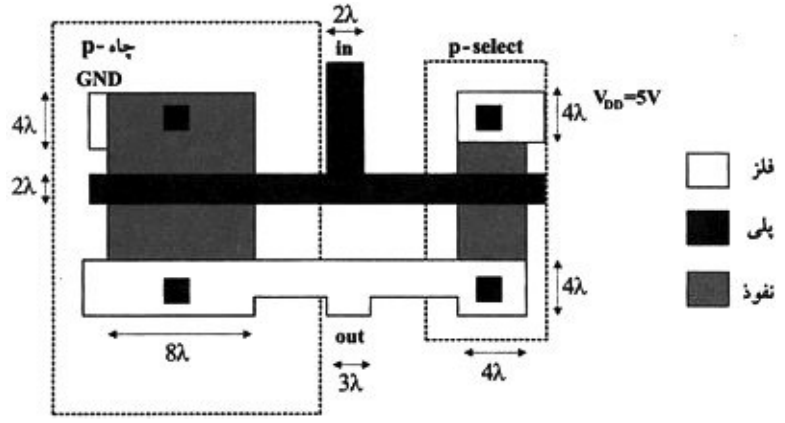


۲- منحنی مشخصه مداری که چینش آن در زیر آمده است را رسم کنید. ۲،۱۰ نمره

$$\left|V_{TH,n}\right| = \left|V_{TH,p}\right| = 1V$$

$$V_{DD} = 5v$$

$$\mu_n = 2.5\mu_p$$



۳- تابع $F = \overline{(A+C).D+B}$ را با منطق CMOS طراحی و اندازه ترانزیستورها را برای داشتن مداری متقارن تعیین نمایید. ۰،۷۰ نمره

تعداد سوالات : تستی : ۲۴ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

عنـــوان درس: طراحی سیستمهای VLSI

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۰۵

۴- تابع $f(A,B,C)=\sum m(3,5,7)$ **را که در آن** m، **بیانگر مین ترم های تابع است به طور بهینه با منطق سوییچ طراحی و بهینه سازی کنید.** ۰،۷۰ نمره

۵- مسیر اولری مشترک تابع زیر را به دست آورید و به کمک آن نمودار میله ای متناظر آن را رسم نمایید. ۲،۱۰ نمره

$$F=(\overline{A}+\overline{B}).(\overline{C}+\overline{D})$$

از نمادهای زیر برای رسم نمودار میله ای استفاده کنید.

نفوذ

پلی

فلز

تماس