WWW.20FILE.ORG

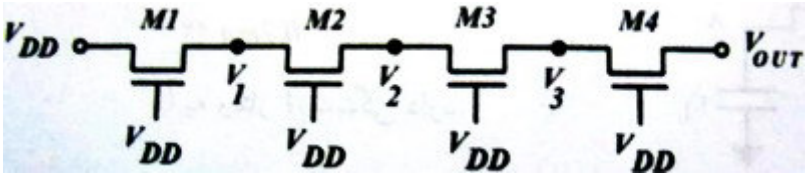
تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** یک ۱

عنـــوان درس: VLSI طراحی سیستمهای

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)۱۱۱۵۲۰۵

استفاده از ماشین حساب مهندسی مجاز است

۱- در شکل زیر تمامی ترانزیستورهای نوع n یکسان و با ولتاژ آستانه V_t هستند. ماگزیمم ولتاژ خروجی قابل وصول چقدر است؟

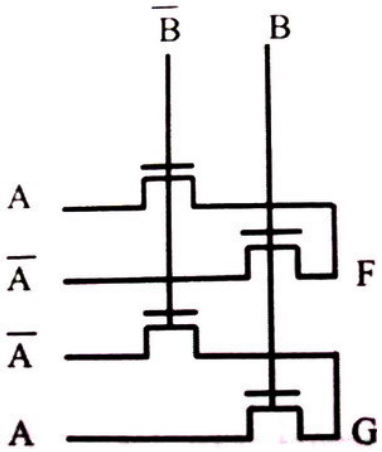


۱. $V_{DD}-3V_t$ ۲. $V_{DD}-V_t$ ۳. $V_{DD}-4V_t$ ۴. V_{DD}

۲- با دو برابر کردن پهنای همگی ترانزیستورها در گیت ایستای CMOS ، حاشیه نویز چه می شود؟

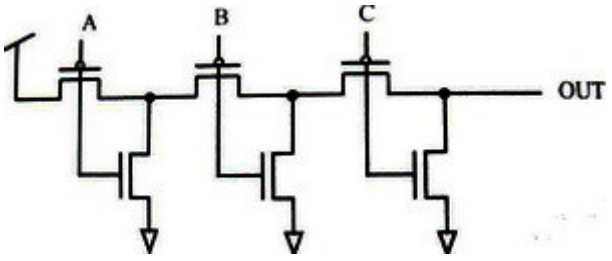
۱. دو برابر می شود. ۲. نصف می شود. ۳. تغییر نمی کند. ۴. چهار برابر می شود.

۳- منطق گیت انتقالی زیر چیست؟



۱. NAND/AND ۲. AND/OR ۳. AND/NAND ۴. XOR/XNOR

۴- تابع سوییچ منطقی CMOS زیر چیست؟



۱. NOR سه ورودی ۲. NAND سه ورودی ۳. XNOR سه ورودی ۴. AND سه ورودی

WWW.20FILE.ORG

تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

عنـــوان درس: طراحی سیستمهای VLSI

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)۱۱۱۵۲۰۵

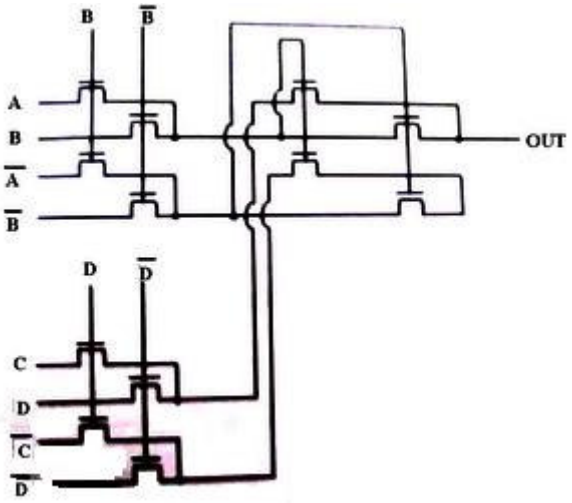
۵- با توجه به اینکه $\mu_n = 2.5\mu_p$ است. عرض نسبی دو MOSFET کانال n و p باید چه رابطه ای نسبت به هم داشته باشند تا پارامتر رسانایی انتقالی آنها یکسان باشد؟

۱. $W_n = 0.4W_p$ ۲. $W_n = 4W_p$ ۳. $0.25W_n = W_p$ ۴. $W_n = W_p$

۶- فرض کنید برای یک گیت AOI با ظرفیت بار ۱۰fF، $R_{on} = 10k\Omega$ باشد. اگر $t_{rise} = 0.5ns$ فرض شود، τ_{PHL} واقعی چقدر است؟

۱. ۲۵۹.۳ps ۲. ۰.۰۹۶ns ۳. ۰.۰۳۸ns ۴. ۳.۴۵ps

۷- تابع خروجی (OUT) زیر چیست؟



۱. A.(B+C)+D ۲. (A+B)(C+D) ۳. A.B.C.D ۴. A+B+C+D

۸- تابع $f = \overline{\overline{(A+B+C).(D+E+F)}}$ معادل چیست؟

۱. OAII32 ۲. AOI33 ۳. OA33 ۴. AO33

۹- یک MOSFET کانال n با $V_{TH} = 0.8v$ به ازای $V_{GS} = 5v$ و $V_{DS} = 5v$ ناحیه کاری MOSFET چیست؟

۱. قطع ۲. اشباع ۳. تریودی ۴. مرز بین اشباع و خطی

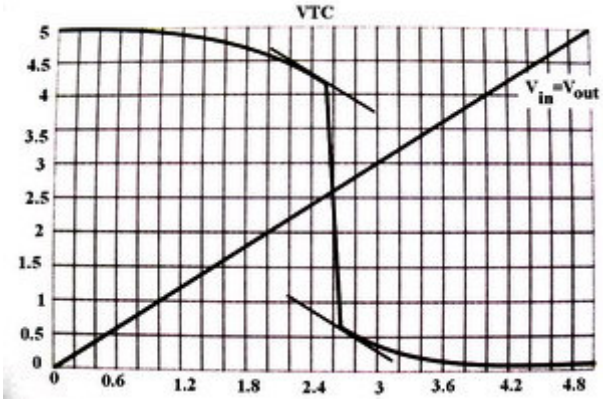
WWW.20FILE.ORG

تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

عنـــوان درس: طراحی سیستمهای VLSI

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)۱۱۱۵۲۰۵

۱۰- فرض کنید مشخصه انتقالی ولتاژ وارونگر nMOSای به صورت زیر باشد:



کدام گزینه مقادیر V_{INV} ، NM_H ، NM_L را درست نشان می دهد؟

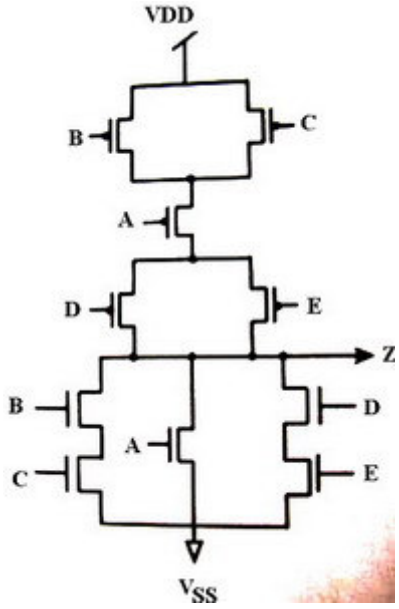
۱. $V_{INV}=2.6, NM_H=2.5, NM_L=0.1$

۲. $V_{INV}=2.6, NM_H=2.3, NM_L=2.4$

۳. $V_{INV}=2.6, NM_H=2.5, NM_L=2.4$

۴. $V_{INV}=3, NM_H=5, NM_L=0.4$

۱۱- تابع منطقی مدار روبرو کدام است؟



۱. $\overline{A.B.C.D+E}$

۲. $\overline{B}.\overline{C}+\overline{A}.(\overline{D}+\overline{E})$

۳. $A.(\overline{B}+\overline{C}).(\overline{D}+\overline{E})$

۴. $\overline{B.C+A+D.E}$

WWW.20FILE.ORG

تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

عنـــوان درس: طراحی سیستمهای VLSI

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)۱۱۱۵۲۰۵

۱۲- کدام گزینه ویژگی های هدایت انتقالی (g_m)، امپدانس ورودی، توان مصرفی و جریان تحریک خروجی CMOS و BJT را به درستی مقایسه کرده است؟

۱. توان مصرفی و g_m و امپدانس ورودی CMOS کمتر ولی جریان تحریک خروجی آن از BJT بیشتر است.

۲. توان مصرفی و g_m و جریان تحریک خروجی در CMOS کمتر ولی امپدانس ورودی از BJT بیشتر است.

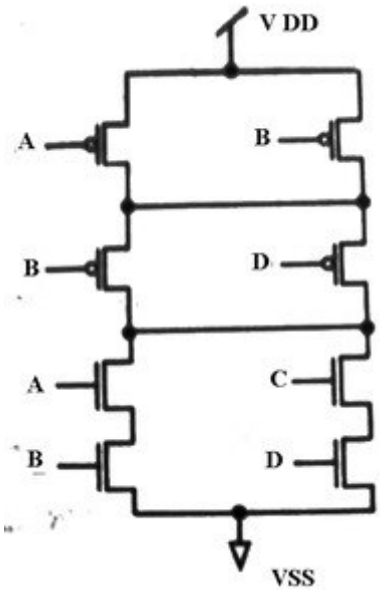
۳. توان مصرفی و جریان تحریک خروجی در CMOS کمتر ولی امپدانس ورودی و g_m آن از BJT بیشتر است.

۴. توان مصرفی و g_m در CMOS کمتر ولی جریان تحریک خروجی و امپدانس ورودی آن از BJT بیشتر است.

۱۳- برای یک ترانزیستور nMOS نوع تخلیه ای $V_{TH}=-2v$ و $K'_n\frac{W}{L}=200\mu A/v^2$ و $\lambda=0.02/v$ می باشد. به ازای $V_{GS}=0v$ و $V_{DS}=1v$، MOSFET در چه ناحیه ای است و جریان درین چقدر است؟

۱. تریودی و $306\mu A$ ۲. اشباع و $306\mu A$ ۳. تریودی و $416\mu A$ ۴. اشباع و $416\mu A$

۱۴- گیت منطقی CMOS زیر مفروض است:



فرض کنید: $K'_p=0.1\frac{mA}{V^2}, K'_n=0.2\frac{mA}{V^2}$

برای آن که زمان های τ_{PHL} و τ_{PLH} مساوی با یکدیگر و با وارونگری با می نیمم اندازه برابر باشند، پهنای ترانزیستورها را چگونه باید اندازه بندی کرد؟

۱. $pMOS:2\times, nMOS:2\times$ ۲. $pMOS:4\times, nMOS:2\times$

۳. $pMOS:1\times, nMOS:2\times$ ۴. $pMOS:2\times, nMOS:4\times$

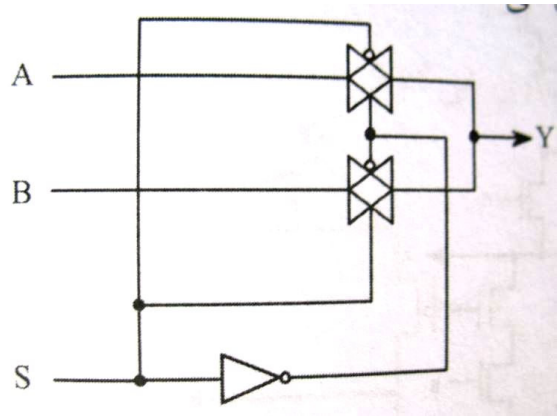
WWW.20FILE.ORG

تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

عنـــوان درس: طراحی سیستمهای VLSI

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)۱۱۱۵۲۰۵

۱۵- مدار زیر چه منطقی را پیاده سازی می کند؟



۱. منطق XOR ۲. مالتی پلکسر ۲ به ۱ ۳. دیکدر ۲ به ۱ ۴. هیچکدام

۱۶- فرض کنید مسیرهای اولری nMOS و pMOS به صورت زیر باشد:

nMOS:ECDBA

pMOS:EDABC

تابع منطقی که این مدار پیاده سازی می کند، چیست؟

۱. $\overline{(A.B+C.D).E}$

۲. $(\overline{A}+\overline{B}).(\overline{C}+\overline{D}+\overline{E})$

۳. $(\overline{A}+\overline{B}).(\overline{C}+\overline{D}).\overline{E}$

۴. $\overline{(A.B+C.D).E}$ و همچنین $(\overline{A}+\overline{B}).(\overline{C}+\overline{D}+\overline{E})$

۱۷- فرض کنید فناوری موجود به ما اجازه می دهد تا ضخامت اکسید گیت را با ضریب ۴ کاهش دهیم این کار چه تأثیری روی I_{DS} می گذارد؟

۱. I_{DS} با ضریب ۲ کاهش می یابد. ۲. I_{DS} با ضریب ۲ افزایش می یابد.

۳. I_{DS} با ضریب ۴ افزایش می یابد. ۴. ضخامت اکسید گیت و I_{DS} از یکدیگر مستقلند.

۱۸- در یک وارونگر CMOS $V_{dd}=3v$ ، $W_p=6.4\mu m$ و $W_n=1.6\mu m$ **می باشد. کدام جواب به طور تقریبی درست است؟** V_{INV} **ولتاژ آستانه ورودی وارونگر است.**

۱. $V_{INV}\langle 1.5v$ ۲. $V_{INV}=1.5v$ ۳. $V_{INV}\rangle 1.5v$ ۴. $V_{INV}=0.8v$

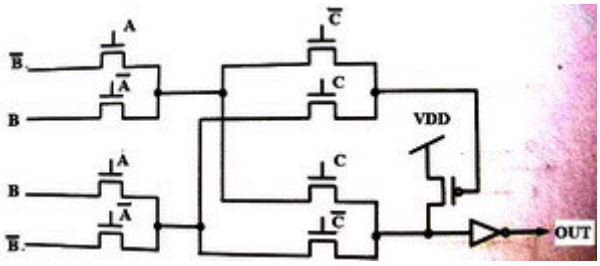
WWW.20FILE.ORG

تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

عنـــوان درس: طراحی سیستمهای VLSI

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)۱۱۱۵۲۰۵

۱۹- تابع خروجی زیر چیست؟



۱. $Out = A.B.C + \overline{B}.\overline{C} + \overline{A}.\overline{C}$

۲. $Out = A.B + A.C + B.C$

۳. $Out = A \oplus B \oplus C$

۴. $Out = A.B.C + \overline{A}.\overline{B}.C + \overline{A}.\overline{C}$

۲۰- کدام درست است؟

۱. ترانزیستور با پهنای بیشتر قابلیت جریان دهی کمتری دارد.

۲. ترانزیستور پهن تر در گیت خویش ظرفیت خازن کمتری دارد.

۳. ترانزیستور پهن تر، مقاومت بیشتری را در مدل ترانزیستوری از خویش نشان می دهد.

۴. منظور از ترانزیستور ضعیف یعنی آن که می نیمم اندازه ممکن برای آن در نظر گرفته شده است.

۲۱- برای ساخت خازن از فناوری CMOS استفاده می شود. بدین منظور، سطوح فلزی گیت و زیر لایه به عنوان صفحات خازن به کار می روند. اگر ضخامت اکسید بین 20^{nm} تا 100^{nm} باشد و صفحات خازن مربعی باشند و بخواهیم ظرفیت خازن مزبور ۱pf باشد، ماکزیمم ابعاد آن ها چقدر خواهد بود؟ $\varepsilon_{ox} = 3.5\times10^{-13}\,F/cm$

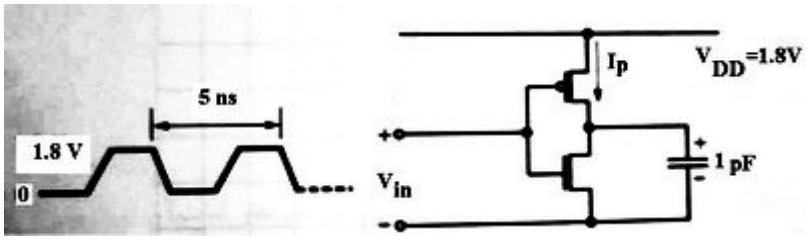
۱. $16.9nm$

۲. $53.4nm$

۳. $23.89nm$

۴. $2.85nm$

۲۲- با فرض چشم پوشی از جریان اتصال کوتاه و نشتی، توان مصرفی در ترانزیستورهای pMOS،nMOS در یک سیکل برای مدار شکل زیر چیست؟



۱. $P_{pMOS} = 648\mu W, P_{nMOS} = 360\mu W$

۲. $P_{pMOS} = 5.2\mu W, P_{nMOS} = 545\mu W$

۳. $P_{pMOS} = P_{nMOS} = 648\mu W$

۴. $P_{pMOS} = P_{nMOS} = 324\mu W$

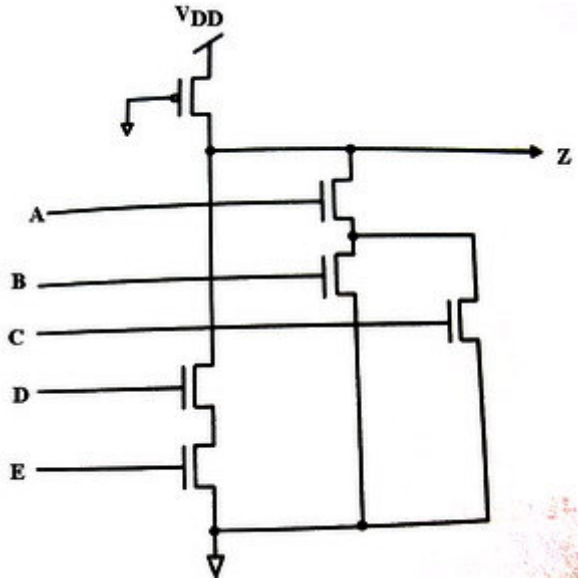
WWW.20FILE.ORG

تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

عنـــوان درس: طراحی سیستمهای VLSI

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)۱۱۱۵۲۰۵

۲۳- تابع منطقی زیر چیست؟



۱. $Z = A.(B+C)+(D.E)$

۲. $Z = \overline{A.B.C.D.E}$

۳. $Z = \overline{A(B+C)+(D.E)}$

۴. $Z = (A+B.C).D.E$

۲۴- کدام درست است؟

الف. NFET های متصل شده به شکل سری تابع NAND را پیاده سازی می کنند.
ب. PFET های متصل شده به شکل سری تابعNOR را پیاده سازی می کنند.
ج. PFET های متصل شده به شکل موازی تابع NAND را پیاده سازی می کنند.

۱. گزینه الف ۲. گزینه ب ۳. گزینه ج ۴. گزینه الف و ب و ج

WWW.20FILE.ORG

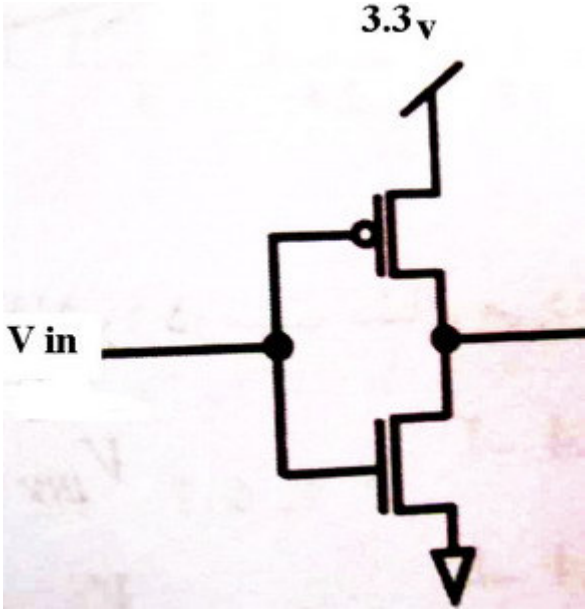
تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

عنـــوان درس: طراحی سیستمهای VLSI

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)۱۱۱۵۲۰۵

۲۵- اگر بدانیم خروجی وارونگر زیر اندکی کمتر از $V_{DD}/2$ است، $V in$ چقدر خواهد بود؟

$$K_n = 100\,\mu A/V^2,\ K_p = 40\,\mu A/V^2,\ \lambda_n = \lambda_p, V_{TH,n} = |V_{TH,p}| = 0.7V$$



۱. ۱،۴۳v ۲. ۲،۵v ۳. ۱،۶۵v ۴. ۰،۷v

سوالات تشریحی

۱- ابتدا تابع $F = \overline{(a+b)(c+d+e+f)(G+h+i)}$ را به صورت CMOS تکمیلی به فرم شماتیک طراحی کرده و سپس نمودار میله ای آن را با هدف می نیمم ساختن مساحت رسم کنید.(راهنمایی: از مسیرهای اولری استفاده کنید). — ۱،۴۰ نمره

۲- تابع منطقی $Z = A\overline{B} + \overline{A}B + AB\overline{C}$ را توسط مالتی پلکسر ۲ به ۱ پیاده سازی کنید؟ — ۱،۴۰ نمره

۳- یک وارونگر CMOS را با خازن بار $C_{loud} = 1pF$ در نظر بگیرید. مشخصات IV ترانزیستور درایور nMOS به صورت زیر است: — ۱،۴۰ نمره

$$V_{GSn} = 5V, V_{DSn} \geq 4V \Rightarrow I_{Dn} = I_{Dnsat} = 5mA$$

فرض کنید V_{in} یک پالس پله است که از ۰ به ۵V سوییچ می کند. زمان تاخیر لازم را برای آن که خروجی وارونگر از مقدار اولیه ۵V به ۲،۵V افت پیدا کند، محاسبه کنید.

۴- مزایای فناوری سیلیکون روی عایق را بنویسید. — ۱،۴۰ نمره

۵- خازن های پارازیتی ترانزیستور را نام برده و توضیح دهید؟ — ۱،۴۰ نمره