تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** یک ۱

عنـــوان درس: طراحی خودکارمدارهای دیجیتال

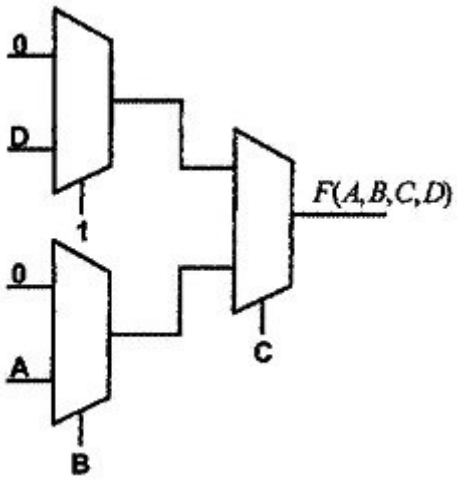
رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۱۳

استفاده از ماشین حساب مهندسی مجاز است

۱- کدام گزینه بیانگر ویژگی طراحی با استفاده از تراشه های استاندارد، در مقایسه با تراشه های قابل برنامه ریزی است؟

۱. امنیت طرح در مقابل کپی برداری بیشتر است.
۲. تست مدار آسان تر است.
۳. هزینه ساخت ونگهداری بیشتری دارد.
۴. سرعت سیستم بیشتر است.

۲- بر اساس ساختار مبتنی بر انتخاب کننده ها *(MUX)*، کدام تابع را،پیاده سازی می کند؟



۱. F(A,B,C,D) =CD+AB'C'
۲. F(A,B,C,D) = AB'C'
۳. F(A,B,C,D) = AB'C
۴. F(A,B,C,D) =C'D+ABC

۳- در صورتیکه A= "10010110" نتیجه دستور زیر کدام گزینه است؟

A srl -2

۱. A srl 2
۲. A sll 2
۳. دستور معتبر نیست.
۴. "10010110"

۴- کدام گزینه بیانگر توضیح صحیحی ازدستور مربوطه می باشد؟

۱. دستور Basic Loop شرط تکرار ندارد و بطور پیوسته اجرا می شود تا به یک دستور exit یا next برسد.
۲. دستور While Loop برای اجرای مکرر تعدادی دستورالعمل متوالی استفاده می گردد.
۳. دستور Loop شرط تکرار را بررسی می کند، اگر شرط درست بود حلقه تکرار می شود.
۴. دستور wait از باقیمانده دستورات داخل loop پرش می کند.

تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

عنـــوان درس: طراحی خودکارمدارهای دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۱۳

۵- در کدام گزینه زمانبندی رخداد و برای XOR نمودن X و Y به درستی بیان شده است ؟

۱. $S <= x \quad XOR \quad y \ delay \ 5ns;$

۲. $S <= x \quad XOR \quad y \ after \ 5ns;$

۳. $S <= y \quad OR \quad s \ after \ 5ns;$

۴. هیچکدام

۶- کدام گزینه در مورد شبیه سازها صحیح نمی باشد؟

۱. شبیه ساز برنامه ای است که یک توصیف انتزاعی از طرح را به صورت پویا به اجرا در می آورد.

۲. شبیه ساز منطقی طرح را به صورت یک سری دروازه های منطقی بهم متصل شده مدل می کند.

۳. شبیه ساز زمانی طرح را به صورت واقعی تر و با در نظر گرفتن تأخیر ها مدل می کند.

۴. یک شبیه ساز نشان می دهد که مدار سیم بندی شده یک طرح درست کار می کند یا خیر.

۷- کدام گزینه در مورد کامپایلر صحیح نیست؟

۱. partitioner : تقسیم بندی طرح خیلی بزرگ که در یک تراشه جا نشود.

۲. database Builder : ترکیب اطلاعات همه فایل ها در یک پایگاه داده جهت دسترسی سریع به اطلاعات.

۳. filter عمل جایگذاری و مسیر دهی را انجام می دهد . اطلاعات مربوط به میزان استفاده و محل پایه ها در فایلی با پسوند rat ذخیره می شود.

۴. Timing Analyzer تولید اطلاعات برنامه ریزی تراشه را به عهده دارد و آنها را در یک یا چند فایل با پسوند pof قرار می دهد.

۸- کدام گزینه از مدارات برنامه پذیر نیست؟

۱. ROM ۲. PROM ۳. FPGA ۴. PLD

۹- کدام گزینه جمله زیر را به طور صحیح کامل می کند؟

یک ..... از تعداد زیادی ..... تشکیل شده است و مولد های تابع منطقی مهمترین عناصر برنامه ریزی ..... ها هستند.

۱. CLB - FPGA - CLB

۲. CLB - FPGA - FPGA

۳. FPGA - CLB - CLB

۴. FPGA - CLB - FPGA

۱۰- شناسه غیر معتبر کدام گزینه است؟

۱. D10 ۲. f_10 ۳. My_gate1 ۴. gate-input

تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

عنـــوان درس: طراحی خودکارمدارهای دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۱۳

۱۱- کدام گزینه جزء مدلسازی ساختاری نمی باشد؟

۱. اعلان لیستی شامل مولفه هائی که در مدار استفاده می شود.

۲. سیگنالها و مولفه ها در قسمت component تعریف می شوند.

۳. معرفی سیگنالهائی که شبکه اتصالی بین مولفه هارا تشکیل می دهند.

۴. به هر نمونه از هر مولفه، یک برچسب یکتا تعلق گیرد.

۱۲- قطعه برنامه زیرچه کیتی را توصیف می کند؟

```
architecture test is
  signal state: std_logic;
  signal input: std_logic_vector(1 downto 0)
begin
input <= a&b;
p:process(clock,reset) is
begin
   if(reset='1')then;
     state <='0';
   elsif(rising_edge(clock)) then
     case(input)is
       when   "11"   =>
         state <=  not state;
       when    "10"   =>
         state <= '1';
       when "01"   =>
         state <= '0';
       when others =>
          null;
      end case;
    end if;
end process;
Q <= state
Qbar <= not state
```

۱. ثبات دو بیتی ۲. R-S فیلیپ فلاپ ۳. J-K فیلیپ فلاپ ۴. شمارنده دو بیتی

۱۳- قطعه کد زیر در کدام ساختار VHDL می توان استفاده شود؟

```
IF  a > b  then
return a;
else
returnb;
end  if ;
```

۱. process ۲. generic ۳. function ۴. procedure

تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

عنـــوان درس: طراحی خودکارمدارهای دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۱۳

۱۴- برنامه زیر را در نظر بگیرید و بگوئید با کدام گزینه معادل است ؟

```
ARCHITECTURE ram OF ram4 IS
        TYPE vector_array IS ARRAY (0 TO words-1) OF
         STD_LOGIC_VECTOR (bits-1 DOWNTO 0);
       SIGNAL memory :vector_array;
BEGIN
      PROCESS (CLK, wr_ena)
      BEGIN
           IF (wr_ena = '0') THEN
                bidir <= memory (addr);
           ELSE
              bidir <= (OTHERS => 'Z');
              IF (clk 'EVENT AND CLK = '1') THEN
                 memory (addr) <= bidir;
       END IF;
     END IF;
END PROCESS;
END ram;
```

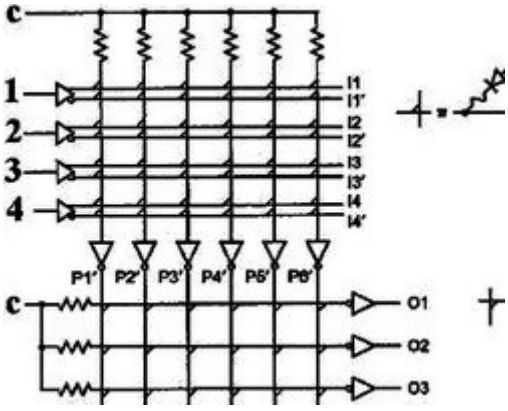
۱. RAM با گذرگاه ورودی / خروجی دو طرفه

۲. RAM دو درگاهه

۳. RAM با ورودی و خروجی مجزا

۴. آشکار ساز توالی بیت (امیتر)

۱۵- شکل زیر بیانگر کدام گزینه می باشد؟



۱. مدار داخلی GAL20V8

۲. درشت سلول منطقی با خروجی تثبیت شده مربوط به GAL22V10

۳. درشت سلول منطقی با خروجی ترکیبی مربوط به GAL22V10

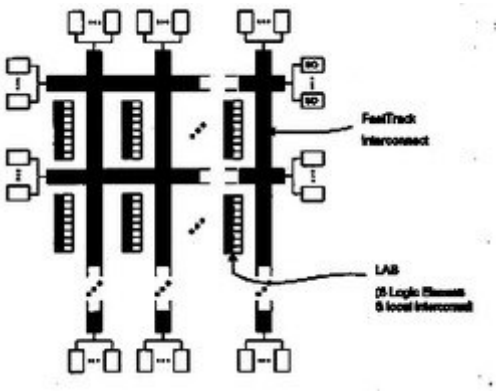
۴. ساختار PLAدوقطبی

تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

عنـــوان درس: طراحی خودکارمدارهای دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۱۳

۱۶- شکل زیر ساختار کدام گزینه را ارائه می کند ؟



۱. شمای کلی PPGAهای شرکت Actel

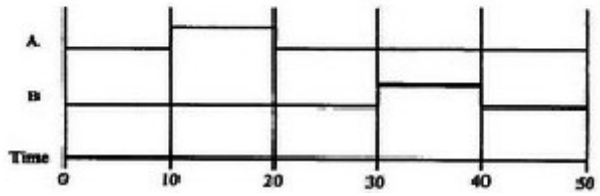
۲. ساختار خانواده Pasic مربوط به شرکت Quicklogic

۳. ساختار کلی FLEX 8000 مربوط به شرکت Altera

۴. ساختار یک PFUمربوط به شرکت AT&T

۱۷- توصیف VHDL ونمودار زمانی ورودی و خروجی شکل زیر مربوط به کدام گزینه است؟

```
------------------------------
LIBRARY IEEE;
USE IEEE.std_logic_1164.ALL;
------------------------------
ENTITY delay_line IS
PORT ( a : IN std_logic;
       b : OUT std_logic );
END delay_line;
------------------------------
ARCHITECTURE delay_line OF delay_line IS
BEGIN
    b <= TRANSPORT a AFTER 20 ns;
END delay_line;
------------------------------
```



۱. ۲۰ ثانیه تاخیر انتقال ۲. ۲۰ثانیه تاخیر لختی ۳. ۱۰ثانیه تاخیر انتقال ۴. ۳۰ثانیه تاخیر لختی

تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

عنـــوان درس: طراحی خودکارمدارهای دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۱۳

۱۸- مزیت ۱۶V8S در مقایسه با ۱۶V8C چیست؟

۱. هزینه ساخت ۱۶V8S کمتر از هزینه ۱۶V8C است.

۲. ۱۶V8S مدار ترتیبی است ولی ۱۶V8C مداری ترکیبی است.

۳. ۱۶V8S قابل برنامه ریزی مجدد است ولی ۱۶V8C قابل برنامه ریزی مجدد نیست.

۴. به ازای هر دروازه OR؛ ۸ دروازه AND در مقابل ۷ دروازه دارد.

۱۹- در کدام یک از حالات زیر هریک از مولد های تابع F و G به عنوان یک SRAM با خطوط آدرس مستقل و ورودی write-data **مستقل مشترک استفاده می شوند؟**

۱. دو تا SRAM با ظرفیت 1*16

۲. یک SRAM دو درگاهه1*16

۳. یک SRAM با ظرفیت 1*32

۴. سنکرون یا آسنکرون

تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

عنـــوان درس: طراحی خودکارمدارهای دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۱۳

۲۰- برنامه زیر کدام عبارت را توصیف می کند؟

```
LIBRARY ieee ;
USE ieee.std_logic_1164.all ;

ENTITY Test IS
PORT ( w : IN STD_LOGIC_VECTOR(1 DOWNTO 0) ;
    y : OUT STD_LOGIC_VECTOR(0 TO 3) ) ;
END Test;

ARCHITECTURE Behavior OF Test IS
BEGIN
  WITH W SELECT
    y <= “1000" WHEN “00",
       “0100" WHEN “01",
       “0010" WHEN “10",
       “0001" WHEN “11",
       “0000" WHEN OTHERS ;
END Behavior ;
```

۱. یک دیکدر ۲ به ۴

۲. یک مالتی پلکسر ۴ به ۱

۳. یک شمارنده ۴ بیتی پایین شمار

۴. یک شمارنده ۴ بیتی بالا شمار

تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

عنـــوان درس: طراحی خودکارمدارهای دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۱۳

۲۱- برنامه زیر را در نظر بگیرید و بگوئید با کدام گزینه معادل است ؟

```
ARCHITECTURE ram OF ram4 IS
        TYPE vector_array IS ARRAY (0 TO words-1) OF
         STD_LOGIC_VECTOR (bits-1 DOWNTO 0);
       SIGNAL memory :vector_array;
BEGIN
      PROCESS (CLK, wr_ena)
      BEGIN
            IF (wr_ena = '0') THEN
                bidir <= memory (addr);
           ELSE
              bidir <= (OTHERS => 'Z');
              IF (clk 'EVENT AND CLK = '1') THEN
                 memory (addr) <= bidir;
       END IF;
     END IF;
END PROCESS;
END ram;
```

۱. RAM با گذرگاه ورودی / خروجی دو طرفه
۲. RAM دو درگاهه
۳. RAM با ورودی و خروجی مجزا
۴. آشکار ساز توالی بیت (امیتر)

۲۲- با توجه به عبارت زیر گزینه صحیح را انتخاب کنید؟

Variable: A bit _ vector :="101001";

A sla 2 = ?

۱. 011010
۲. 100100
۳. 100111
۴. 100110

۲۳- کدام گزینه باعث بروز خطا در VHDL می گردد؟

۱. نام فایل دقیقا بانام Entity مطابقت داشته باشد.
۲. فایل با پسوند پیش فرض ذخیره شود.
۳. نام پورت متفاوت از نام Entity انتخاب شود.
۴. نام فایل از حروف کوچک انتخاب شود.

۲۴- در زبان VHDL عبارت غلط در مورد دستورLoop کدام گزینه می باشد؟

۱. شناسه identifier شمارنده حلقه است وفقط داخل حلقه تعریف می شود و نیازی به تعریف جداگانه ندارد.
۲. Next در دستورLoop باعث می شود،باقیمانده دستورات داخل Loop رها شده و تکرار بعدی Loop اجرا شود.
۳. دستور For-Loop یک شرط تکرار را بررسی می کند،اگر شرط درست بود حلقه تکرار می شود در غیر اینصورت حلقه رها شده و اجرا متوقف می شود.
۴. دستور Basic Loop شرط تکرار ندارد،به طور پیوسته اجرا می شود تا به یک دستور exit یا next برسد.

تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

عنـــوان درس: طراحی خودکارمدارهای دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۱۳

۲۵- کدام گزینه بیان غلطی از تفاوتهای کلیدی GAL22V10 با 20V8R را ارائه می کند؟

۱. در حالت ترتیبی GAL22V10 دارای ۷ جمله ضربی است اما GAL20V8R دارای ۸جمله ضربی می باشد.

۲. در حالت ترکیبی کنترل خروجی، برای GAL22V10 با یک جمله ضربی انجام می شود ولی برای GAL20V8R با یک خط کنترل سراسری انجام می شود.

۳. در GAL22V10 یک جمله ضربی سیگنال Resetسراسری را به صورت آسنکرون کنترل می کند اما GAL20V8R سیگنال Resetندارد.

۴. در GAL22V10 یک جمله ضربی سیگنال Presetسراسری را به صورت سنکرون تولید می کند اما GAL20V8R سیگنال Preset ندارد.

سوالات تشریحی

۱- الگوی برنامه ریزی PLA را برای ایجاد توابع صفر و یک با رسم شکل توضیح دهید؟ ۱،۴۰ نمره

۲- شش مورد ازمزایای استفاده از مدارات کد پذیرنسبت به روش طراحی سنتی را به اختصار توضیح دهید. ۱،۴۰ نمره

۳- تفاوت متغیر و سیگنال را شرح دهید؟ ۱،۴۰ نمره

۴- درمورد مقایسه آرایه های منطقی قابل برنامه ریزی (PLA) با منطق آرایه ای قابل برنامه ریزی (PAL) ، توضیح داده و همچنین دو نوع منطق آرایه ای قابل برنامه ریزی (PAL) را فقط نام ببرید. ۱،۴۰ نمره

۵- در یک PLA کوچک ۳×۴ بارسم مدار برای الگوی برنامه ریزی، سه تابع زیر را پیاده سازی نمایید. ۱،۴۰ نمره

$$Q1 = I1.I2 + I1'+I2'+I3'+I4'$$
$$Q2 = I1.I3'+I1'.I3.I4 + I2$$
$$Q3 = I1.I2 + I1.I3'+I1'.I2'.I4'$$