WWW.PLC20.IR

تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** یک ۱

عنـــوان درس: VLSI طراحی سیستمهای

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۰۵

استفاده از ماشین حساب مهندسی مجاز است

۱- فرض کنید در فرایند طراحی یک تراشه به ۸ سطح ماسک نیاز داشته باشیم وهمچنین فرض کنید که هر مرحله از این فرایند با بارآوری ۹۸٪ ساخته می شود کدام گزینه درست است؟

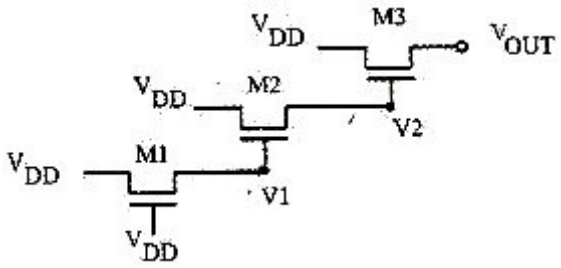
۱. بارآوری تراشه ی ساخته شده ۸۱/۷٪ است.

۲. بارآوری تراشه ی ساخته شده بزرگتر یا مساوی ۸۱/۷٪ است.

۳. بارآوری تراشه ی ساخته شده ۹/۸٪ است.

۴. بارآوری تراشه ی ساخته شده بزرگتر یا مساوی ۸۵٪ است.

۲- درشکل زیر تمامی ترانزیستورها nMOS مشابه و دارای ولتاژ آستانه V_t هستند.ولتاژ در نقطه ۱ (V1) چیست؟



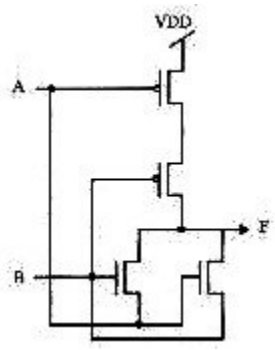
۱. V_{DD} ۲. $V_{DD}-V_t$ ۳. $V_{DD}-2V_t$ ۴. $V_{DD}-3V_t$

۳- در یک گیت NAND پنج ورودی CMOS درصورتی که بخواهیم زمان های بالا رونده وپایین رونده با هم مساوی باشند اندازه های ترانزیستورها چیست؟کوچکترین اندازه ترانزیستورها را برابر 2λ و $\mu_n = 2\mu_p$ فرض کنید.

۱. $W_{PMOS} = 10\lambda$ و $W_{nMOS} = 4\lambda$ ۲. $W_{PMOS} = 10\lambda$ و $W_{nMOS} = 2.5\lambda$

۳. $W_{PMOS} = W_{nMOS} = 10\lambda$ ۴. $W_{PMOS} = 2\lambda$ و $W_{nMOS} = 5\lambda$

۴- مدار زیر چه منطقی را پیاده سازی می کند؟



۱. XOR ۲. XNOR ۳. NAND ۴. AND

WWW.PLC20.IR

تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

عنـــوان درس: طراحی سیستمهای VLSI

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۰۵

۵- MOSFET کانال n با $k`_n = 50\mu A/V^2$ **و** $V_{TH} = 0.8V$ **،** $W/L = 20$ **به عنوان سوئیچ با** V_{DS} **کوچک بکار می رود. ولتاژ کنترلی** V_{GS} **بین ۰تا ۵ ولت است. به ازای** $V_{GS} = 5V$ **و** $I_D \approx 1\ mA$ **و** V_{DS} **چقدر است؟**

۱. ۲,۴ ولت ۲. ۰,۲۴ ولت ۳. ۸,۱ ولت ۴. ۰,۸۱ ولت

۶- در کدام یک از حالات کاری ترانزیستور, خازن های همپوشان گیت به سورس و گیت به درین هر دو صفر می باشند؟

۱. خطی ۲. قطع ۳. اشباع ۴. خطی - اشباع

۷- در یک وارونگر CMOS $W_{nMOS} = 1.6\mu m$ **و** $W_{PMOS} = 4\mu m$ **و** $V_{DD} = 3.3V$ **می باشد.کدام جواب به طور تقریبی درست است؟** V_{INV} **ولتاژ آستانه ورودی وارونگر است.**

۱. $V_{INV} \langle 1.65V$ ۲. $V_{INV} = 1.65V$ ۳. $V_{INV} \rangle 1.65V$ ۴. $V_{INV} = 0.8V$

۸- فرض کنید F تابع منطقی شبکه بالا بر و G تابع بولین شبکه پایین بر و A وB وC وD ورودی های گیت CMOS باشند. کدام گزینه درست است؟

۱. $G(A,B,C,D) = F(A,B,C,D)$ ۲. $\overline{G(A,B,C,D)} = F(A,B,C,D)$

۳. $\overline{G(A,B,C,D)} = F(\overline{A},\overline{B},\overline{C},\overline{D})$ ۴. $G(\overline{A},\overline{B},\overline{C},\overline{D}) = F(\overline{A},\overline{B},\overline{C},\overline{D})$

۹- فرض کنید مسیرهای اولری nMOS و pMOS به صورت زیر باشند:

pMOS:EDABC nMOS:ECDBA

تابع منطقی که این مدار پیاده سازی می کند چیست؟

۱. $\overline{(A.B + C.D).E}$ ۲. $(\overline{A} + \overline{B}).(\overline{C} + \overline{D} + \overline{E})$

۳. $(\overline{A} + \overline{B}).(\overline{C} + \overline{D}).\overline{E}$ ۴. $\overline{(\overline{A} + \overline{B})}.(\overline{C} + \overline{D}).E$

۱۰- می خواهیم یک MOSFET افزایشی با $V_{TH} = 1V$ **و** $k`_n W/L = 0.1mA/V^2$ **و** $I_D = 0.2\ mA$ **در ناحیه اشباع بسازیم.** V_{GS} **لازم و می نیمم** V_{DS} **برای این کار چیست؟**

۱. $V_{DS} = 1.26V$, $V_{GS} = 2.26V$ ۲. $V_{DS} = 0.63V$, $V_{GS} = 1.63V$ ۳. $V_{DS} = 2V$, $V_{GS} = 3V$ ۴. $V_{DS} = V_{GS} = 1.63V$

WWW.PLC20.IR

تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

عنـــوان درس: طراحی سیستمهای VLSI

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۰۵

۱۱- برای وارونگری با مشخصات

$$L_n = L_p = 1.2\mu m, W_n = 1.8\mu m, W_p = 5.4\mu m, k`_n = 81\mu A/V^2,$$
$$k`_P = 27\mu A/V^2, V_{TH,n} = |V_{TH,P}| = 0.75V, V_{DD} = 5V$$

ماکزیمم جریانی که طی تغییر حالت از منبع تغذیه ۵ ولت کشیده می شود چقدر است؟

۱. $650\mu A$ ۲. $500\mu A$ ۳. $186\mu A$ ۴. $1mA$

۱۲- برای وارونگری با مشخصات

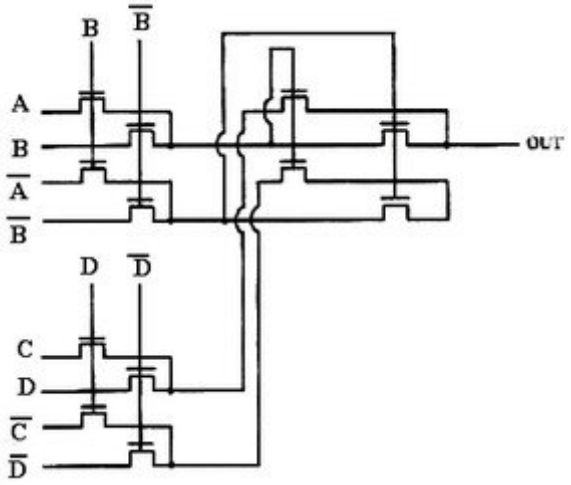
$$L_n = L_p = 1.2\mu m, W_n = 1.8\mu m, W_p = 5.4\mu m, k`_n = 81\mu A/V^2,$$
$$k`_P = 27\mu A/V^2, V_{TH,n} = |V_{TH,P}| = 0.75V, V_{DD} = 5V$$

ماکزیمم جریانی که طی تغییر حالت از منبع تغذیه ۵ ولت کشیده می شود چقدر است؟

برای وارونگر مساله فوق τ_{PHL} به ازای بار خازنی $0.05pF$ چقدر است؟

۱. $0.351ns$ ۲. $0.121ns$ ۳. $0.141ns$ ۴. $0.118ns$

۱۳- تابع خروجی (OUT) زیر چیست؟



۱. A.B.C.D ۲. A+B+C+D ۳. (A+B).(C+D) ۴. A.(B+C)+D

۱۴- کدام درست است؟

الف . NFET های متصل شده به شکل سری تابع NAND را پیاده سازی می کنند.

ب. PFETهای متصل شده به شکل سری تابع NAND را پیاده سازی می کنند.

ج. PFETهای متصل شده به شکل موازی تابع NOR را پیاده سازی می کنند.

۱. گزینه الف ۲. گزینه ب ۳. گزینه ج ۴. گزینه الف و ب و ج

WWW.PLC20.IR

تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

عنـــوان درس: طراحی سیستمهای VLSI

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۰۵

۱۵- فرض کنید ما فقط دارای فناوری ساخت ترانزیستورهایی از نوع nMOS به همراه عناصر غیرفعالی (Passive) همچون مقاومت وخازن و.... باشیم.می خواهیم با این مولفه ها وارونگر بسازیم.کدام گزینه درست است؟

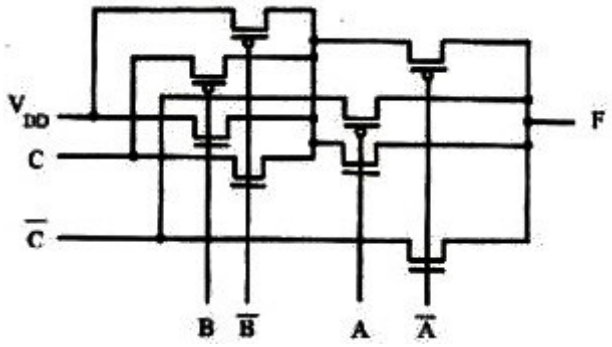
۱. برای ساخت وارونگر به ترانزیستورهای نوع p نیز نیاز داریم ،بنا بر این ساخت وارونگر امکان پذیر نمی باشد.

۲. می توان وارونگر را با قرار دادن یک ترانزیستور nMOS تخلیه ای در شبکه بالابر و اتصال گیت وسورس آن به یکدیگر ساخت ولی عیب آن اینست که هنگامی که $V_{in} = high$ است ، V_{out} دقیقا صفر ولت نمی شود.

۳. می توان مانند گزینه ب،وارونگر را ساخت ،ولی عیب آن اینست که وقتی $V_{in} = low$ است،از منبع تغذیه جریان می کشد.

۴. برای ساخت وارونگر به ترانزیستورهای نوع p نیز نیاز داریم ،بنا بر این ساخت وارونگر امکان پذیرمی باشد.

۱۶- تابع پیاده سازی شده با ترانزیستورهای عبور مدار زیر چیست؟



۱. $A.B + \overline{A}.\overline{C} + A.\overline{B}.C$ ۲. $A \oplus B \oplus C$ ۳. $(A \oplus B).C$ ۴. $A.B.C + A.C.B$

۱۷- کدام قانون طراحی توصیف کننده حداقل طول کانال ترانزیستور است؟

۱. پهنای پلی سیلیکون ۲. طول پلی سیلیکون ۳. طول ناحیه نفوذ ۴. طول سیم فلزی

۱۸- برای یک ترانزیستور nMOS تخلیه ای ، $V_{TH} = -2V, K'_nW/L = 200\mu A/V^2, \lambda = 0.02/V$ می باشد.به ازای MOSFET $V_{GS} = 0V, V_{DS} = 1V$ در چه ناحیه ای عمل می کند وجریان درین چقدر است؟

۱. اشباع و $306\mu A$ ۲. اشباع و $416\mu A$ ۳. تریودی و $306\mu A$ ۴. تریودی و $416\mu A$

۱۹- فرض کنید برای یک گیت AOI با ظرفیت بار $R_{on} = 10k\Omega, 10fF$ باشد.اگر $t_{rise} = 0.5ns$ فرض شود، τ_{PHL} واقعی چقدر است؟

۱. ۰،۰۶۹ns ۲. ۰،۲۵۹ns ۳. ۰،۰۳۸ns ۴. ۰،۳۴۵ns

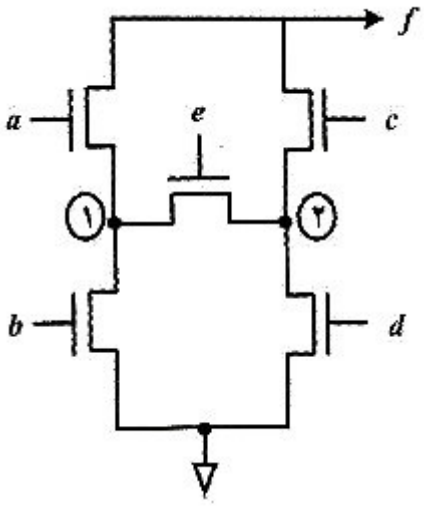
WWW.PLC20.IR

تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

عنـــوان درس: طراحی سیستمهای VLSI

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۰۵

۲۰- در شکل زیر سورس و درین ترانزیستور e کدام است؟



۱. نقطه ۱ سورس و نقطه ۲ درین است.

۲. نقطه ۲سورس و نقطه ۱درین است.

۳. قابل تشخیص نیست چون سورس و درین به وسیله ولتاژهای آنها قابل تشخیص می باشند.

۴. هرکدام از ۱یا ۲ را می توان سورس یا درین نامید چون MOSFET متقارن می باشد.

۲۱- کدام گزینه در مورد نمودار میله ای صحیح می باشد؟

۱. نمودار میله ای تمام مولفه ها را در خود دارد.

۲. نمودار میله ای اندازه ها و مکان دقیق ترانزیستورها ،طول و پهنای سیم ها ،مرز دقیق چاه ها را نشان نمیدهد.

۳. نمودار میله ای برای نمایش محل نسبی و تقریبی لایه ها نسبت به یکدیگر مناسب نمی باشد.

۴. نمودار میله ای تمام مولفه ها را در خود نگه نمی دارد.

۲۲- فرض کنید وارونگری داریم که دارای مشخصات زیر است:
ترانزیستورPMOS دارای طول $1\mu m$ و پهنای $4\mu m$ و نیز ترانزیستور NMOS دارای طول $1\mu m$ و پهنای $2\mu m$ است.با اندازه گیری مشخص شده است که این وارونگر دارای زمان خیز ۵۰۰ps و زمان افت ۳۰۰ps می باشد. نانچه بخواهیم زمان های خیز و افت هر دو با هم برابر و مساوی ۲۰۰ps باشند. W_n و W_p چه باید باشند؟

۱. $W_p = ۱۰$ ، $W_n = ۳$

۲. $W_n = W_p = ۱۰$

۳. $W_p = ۳$ ، $W_n = ۱۰$

۴. $W_p = ۲۰$ ، $W_n = ۱۰$

WWW.PLC20.IR

تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

عنـــوان درس: طراحی سیستمهای VLSI

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۰۵

۲۳- تابع $f = \overline{\overline{(A+B+C).(D+E+F)}}$ **معادل چیست؟**

۱. $OAII32$ ۲. $AOI33$ ۳. $OA33$ ۴. $AO33$

۲۴- کدام گزینه درست است؟

۱. استفاده از گیت های BiCMOS در زیر سیستم هایی مانندALU,ROM,رجیستر فایل راه موثری برای بهبود سرعت این گونه مدارها است.

۲. فرایند ساخت BiCMOS آسان تر از فرایند مشابه CMOS است.

۳. به کارگیری منطق BiCMOS برای مدارهای I/O ومدارهای محرک مناسب به نظر نمی رسد.

۴. هیچکدام

۲۵- در فرآیند ساخت یک IC داریم: $k'_n = 50\mu A/V^2, V_{TH} = 1V$ **در کاربردی که** $V_{DS} = V_{GS} = V_{DD} = 5V$ **است می خواهیم ترانزیستوری به طول** $2\mu m$ **با جریان درین** $0.8mA$ **بسازیم.عرض کانال چقدر باید باشد؟**

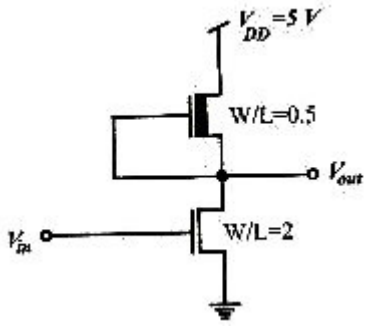
۱. $1.5\mu m$ ۲. $8\mu m$ ۳. $2\mu m$ ۴. $4\mu m$

سوالات تشریحی

۱- خازن های پارازیتیکی ترانزیستور MOSFET را نام برده و برای حالات کاری متفاوت عملکرد آنها را توضیح دهید. ۱،۴۰ نمره

۲- برای مدار زیر مقادیر NM_L , NM_H **,وتوان مصرفی ایستا را محاسبه کنید.(از اثر بدنه چشم پوشی کنید)** ۱،۴۰ نمره

$V_{TH,n} = 1V$ و $V_{TH,dep} = -3V$ و $k'_n = 20\mu A/V^2$



۳- مدار تابع منطقی زیر را رسم کنید. ۱،۴۰ نمره

$F = (\overline{A} + \overline{(D+E)}).\overline{(B+C)}$

۴- منطق CMOSو BJT را از نظر هدایت انتقالی ،امپدانس ورودی ، توان مصرفی وجریان تحریک خروجی مقایسه نمایید. ۱،۴۰ نمره

WWW.PLC20.IR

تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

عنـــوان درس: طراحی سیستمهای VLSI

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۰۵

۵- نمودار شماتیک مدار شکل زیر را در نظر بگیرید.گراف اولری و نمودار میله ای متناظر با آن را رسم کنید. ۱،۴۰ نمره